

1 总体描述

SC32F12T/12G 是一系列基于 Arm Cortex[®]-M0+内核的工业级、带触控功能的 Flash 微控制器，运行频率高达 64MHz。Cortex[®]-M0+内核采用 32 位精简指令集（RISC），符合 CMSIS 标准。SC32F12T/12G 系列具有强大的数据处理能力，内部集成的直接存储器访问控制器（DMA）可实现高速的数据传输，硬件 CRC 模块及内核自带的硬件 32 位乘法器进一步提升了数据运算速度。

SC32F12T/12G 系列微控制器内嵌两种时钟源：高精度高频振荡器（HIRC）、低频 32kHz 振荡器（LIRC），额外提供两个外部晶振接口：2~16MHz 高频晶振（HXT）接口和 32.768 kHz 低频晶振（LXT）接口，HXT 和 LXT 在端口上复用。内嵌时钟源及外部晶振接口均可提供系统时钟，内置的系统时钟监控模块可在系统时钟异常时将其时钟源切换至 HIRC。

SC32F12T/12G 系列的外设资源非常丰富：内置 36 路高灵敏度隔空电容触控电路；最多 45 个 GPIO，所有 I/O 可外部中断；8 个 16 位定时器，8 路 16bit 多功能 PWM，带故障检测功能，31 路 8bit LEDPWM；6 个独立 UART，其中 UART2 具有完整的 LIN 接口，支持主/从机模式；3 个独立 SPI，2 个独立 TWI；内置 LCD/LED 硬件驱动；1 个模拟比较器，1 个轨到轨的运放（OP），18 路 14bit 高精度 ADC；内建独立的看门狗定时器（WDT）和低电压复位电路（LVR），能够有效提升系统可靠性；提供三种功耗模式，可满足不同应用场景下的功耗需求。

SC32F12T/12G 系列具有高性能及高可靠性，支持 2.0-5.5V 宽范围工作电压，可在 -40℃~105℃ 环境温度下运行，同时具备良好的 ESD 性能及 EFT 抗干扰能力；制程方面，SC32F12T/12G 系列采用业界领先的 eFlash 制程，Flash 写入次数大于 10 万次，常温下数据可保存 100 年；存储资源方面，SC32F12T/12G 系列具有最大 512 Kbytes ROM 空间，最大 16 Kbytes SRAM，SRAM 支持奇偶校验功能，1.5 Kbytes 用户存储区域（类 EEPROM），4 Kbytes 系统存储区（LDROM）；内置系统存储区可支持 OTA 升级，提供 ISP（In System Programing）、ICP（In Circuit Programing）和 IAP（In Application Programing）多种程序升级方式，允许芯片在线或带电的情况下，在板调试及升级程序。

SC32F12T/12G 系列具有极佳的触控按键特性，配合其出色的抗干扰性能，可适配各种方案的触控按键和主控控制，应用范围涵盖：大小智能家电、智能家居、物联网、无线通讯、游戏机等工业控制和消费领域。

2 主要功能

工作条件

- 工作电压：2.0V~5.5V
- 工作温度：-40 ~ +105℃

EMS

- ESD
 - HBM: JEDECEIA/JESD22-A114F Class 3A
 - MM: JEDEC EIA/JESD22-A115C Class C
 - CDM: JS-002-2022 Class C3

封装类型

- 48 PIN: LQFP48 (7X7) / QFN48 (5X5)
- 44 PIN: LQFP44 (10X10)
- 32 PIN: LQFP32 (7X7) / QFN32 (4X4)
- 28 PIN: SOP28/TSSOP28

内核

- Cortex[®]-M0+内核
- 带 WIC (wake up interrupt controller) 模块
- 带 MPU 模块
- 64 bits 指令预取
- 自带乘法器

复位

- 上电复位 POR
- 软件 RST 复位
- 通过外部 NRST 脚 (PC8) 低电平复位
- 看门狗 (WDT) 复位
- 低电压复位 (LVR)
 - 复位电压有 4 级可选：分别是：4.3V、3.7V、2.9V、1.9V
 - 缺省值为用户烧写 Code Option 所选值

总线

- 1 个 IOPORT
- 1 个 AHB
- 3 个 APB: APB0~APB2

省电模式

- 低速模式：系统时钟源可选择 LIRC，CPU 可工作在 32kHz
- IDLE Mode，可由任何中断唤醒
- STOP Mode，由 INT0~15、Base Timer、TK 和 CMP 唤醒

2.1 存储

主存储区 APROM

- 最大 512 Kbytes APROM
- 可重复写入 10 万次
- 支持硬件读保护加密
- 支持硬件写保护：提供两段禁止 IAP 操作的区域，用户可通过 Code Option 设置项，最小设置单位为 512 bytes (一个扇区)

系统存储区 LDR0M

- 4 Kbytes 系统存储区，出厂固化 BootLoader 程序

SRAM

- 16 Kbytes Internal SRAM
- 支持奇偶校验：
 - 额外的 2K RAM 用于奇偶校验：即 SRAM 数据总线宽度为 36 位，其中有 4 位用于奇偶校验 (每字节 1 位)
 - 奇偶校验位在写入 SRAM 时进行计算和保存，在读取时自动进行校验。如果某一位失败，则将生成不可屏蔽中断 (Cortex[®]-M0+ NMI)
 - 提供独立的 SRAM 奇偶校验错误标志 SRAMPEIF
 - 使用时需注意对 SRAM 初始化
- 支持从 SRAM 自举

1.5K Bytes 用户存储区 (类 EEPROM)

- 分为 3 个 512 bytes 扇区
- 可重复写入 10 万次
- 常温 25℃ 下数据可保存 100 年

96 bits unique ID

- 96 bits Unique ID 定义在 design option 区域

2.2 BootLoader

- 硬件方式：系统存储区：4 Kbytes，出厂固化 BootLoader 程序
- 软件方式：支持中断向量表重映射，可从 APROM 区域灵活划分出用户 BootLoader 程序运行区

2.3 烧写和仿真

- 烧录方式支持 ICP / ISP / IAP
- 2 线 JTAG / SWD 烧写和仿真接口
- 加密状态下不支持仿真功能

2.4 时钟源

内建高频 64MHz 高频振荡器 (HIRC)

- 可作为系统时钟源
- 系统上电默认时钟频率 fSYS 为 fHIRC/2
- 频率误差：跨越 (2.0V~5.5V) 及 (-40 ~ 105℃) 应用环境，不超过 ±1%
- 可通过 32.768kHz 外接晶振进行自动校准，校准后 HIRC 精度可无限接近外接 32.768kHz 晶振的精度

内建低频 32kHz 低频振荡器 (LIRC)

- 可作为系统时钟源
- 固定为 WDT 时钟源，WDT 使能后此时钟源自动开启
- 可作为 Base Timer 时钟源
- 可作为 LCD/LED 时钟源
- 频率误差：跨越 (4.0 ~ 5.5V) 及 25℃ 应用环境，经寄存器修正后频率误差不超过 ±4%

可外接 2~16MHz 高频晶振 (HXT)

- 可作为系统时钟源
- 用户可以选择外接晶振振荡频率 <12MHz 或 ≥12MHz

可外接 32.768 kHz 低频晶振 (LXT)

- 可作为系统时钟源
- 可作为 Base Timer 时钟源
- 可作为 LCD/LED 时钟源
- 可外接 32.768kHz 振荡器
- 可通过 LXT 对 HIRC 进行自动校准

2.5 中断源

- 提供 25 个中断源
- 四级中断优先级可设
- 外部中断 INT
 - 16 个 INT 中断源, 共占用 4 个中断向量
 - INT 经切换设置后可覆盖到所有的 GPIO 管脚
 - 全部 INT 可设为上升沿、下降沿、双沿中断, 且均有独立对应中断标志位
 - 软件置起相应中断标志位, 可触发进入相应的中断

2.6 数字外围

最大 45 个双向可独立控制 GPIO

- 可独立设定上拉电阻
- 全部 GPIO 源驱动能力分四级控制
- 全部 GPIO 具有大灌电流驱动能力 (50mA)

看门狗 WDT

- 内置 WDT, 溢出时间 3.94~500ms 可设

Base Timer (BTM)

- 时钟源 LXT 和 LIRC 可选
- 中断频率间隔 15.625ms~32s
- 可唤醒 STOP Mode

8 个 16 位定时/计数器 (TIM) Timer0~Timer7

- 16 位递增、递减、递增/递减自动重载计数器
- 支持上升沿/下降沿捕获, 可实现 PWM duty 和周期捕获
- 每个 TIM 提供两路共周期、占空比可调的 PWM (TPWMA / TPWMB) 输出
- TIM1、TIM2、TIM6 的定时器溢出及捕获事件可触发 DMA 请求

8 路 16 位高级 PWM0

- 时钟源可以选择到 64MHz
- 共用周期、占空比单独可调
- 带死区、可互补 PWM 输出
- 支持中心对齐模式
- 支持故障检测

31 路 8 位常规 LEDPWM

- 共用周期、占空比单独可调
- 支持中心对齐模式

6 个独立 UART 通信口 UART0~5

- UART2 为完整的 LIN 接口:
 - 主从模式可切换
 - 支持主机模式下硬件 break 发送 (10/13bits)
 - 支持从机模式下硬件 break 检测 (10/11bits)

- 支持从机模式下波特率同步
- 提供相关中断/状态位/标志位
- 每一路 UART 口均可切换至两组 IO
 - 其中 UART1 映射在烧录口上时仅支持半双工通信
- 独立波特率发生器
- UART2 不支持从 STOP Mode 唤醒
- UART0/1/3/4/5 支持从 STOP Mode 唤醒
- 三种通讯模式可选:
 - 模式 0, 8 位半双工同步通信模式
 - 模式 1, 10 位全双工异步通信
 - 模式 3, 11 位全双工异步通信
- UART0 和 UART1 支持 DMA 请求
- UART2~5 不支持 DMA 请求

3 个独立 SPI 通信口 SPI0~SPI2

- SPI0
 - 提供 16 位 8 级 FIFO, 收发独立
 - SPI 模式下相应的信号口驱动能力将增强
 - 信号口共 3 组 IO 映射可选
 - 支持 DMA
- SPI1
 - 信号口共 3 组 IO 映射可选
 - 支持 DMA
- SPI2
 - 信号口共 4 组 IO 映射可选
 - 不支持 DMA

两个独立 TWI 通信口 TWI0/TWI1

- 可配置为主模式或从模式
- 从模式下支持时钟延展
- 通信速率高达 1Mbps
- TWI0 支持 DMA
- TWI0 可映射到另外四组信号口
- TWI1 无默认信号口, 需用户手动设置到其他映射口上, 可映射到另外 5 组信号口

内建 CRC 校验模块

- 初始值可设, 默认为 0xFFFF_FFFF
- 多项式可编程, 默认为 0x04C1_1DB7
- 支持 8/16/32bit 数据单元

LCD/LED 驱动

- 时钟源 LXT 和 LIRC 可选
- LCD/LED 二选一, 共用寄存器和端口
- LED
 - 8 X 23、6 X 25、5 X 26、或 4 X 27 段 LED 驱动
 - LED segment 口源驱动能力四级可选
 - 寄存器与 31 路 LEDPWM 共用, 可通过中心对齐的 PWM 波形实现 LED 替代驱动及灰度调整
- LCD
 - 8 X 23、6 X 25、5 X 26、或 4 X 27 段 LCD 驱动
 - LCD 电压输出口分压电阻阻值可选
 - 两种偏置电压可选: 1/3 和 1/4
 - 波形模式 Type A 和 Type B 两种可选
 - 帧频三档可选:
 - ◆ Type A 模式下 32/64/128Hz
 - ◆ Type B 模式下 64/128/256Hz

DMA

- 2 个可独立配置的通道
- 每个 DMA 通道可向其它通道发送 DMA 请求

- 数据宽度支持字节，半字，字
- 22 个 DMA 请求源，四个请求优先级
- 支持源/目标地址自动增加或固定
- 支持单次和批量传输方式
- 传输方式支持：内存到内存、内存到外设、外设到内存、外设到外设

2.7 模拟外围

36 路高灵敏度触控电路 (TK)

- 仅 SC32F12T 系列支持
- 通道可以并联扫描
- CMOD 管脚需对地接入 103 电容
- 支持自电容方案和互电容模式
- 支持低功耗模式
- 支持快速唤醒 STOP Mode
- 可适应隔空按键触控、接近感应等对灵敏度要求较高的触控应用
- 全套开发支持：高灵活触控软件库，智能化调试软件

模数转换器 ADC

- 精度：14 位
- 最多支持 18 路通道
 - 外部 16 路 ADC 采样通道与 IO 口其它功能复用
 - 内部一路 ADC 可直接测量 VDD 电压
 - 内部一路 ADC 可直接测量 OP 输出
- ADC 的参考电压有 4 种选择：VDD 以及内部 2.048V、1.024V

或 2.4V

- 可设 ADC 转换完成中断
- 支持单通道连续转换模式
- 支持 DMA 传输：ADC 转换完成可产生 DMA 请求
- 支持单通道连续转换模式
- ADC 转换结果支持溢出标志提醒，且 OVERRUN 标志位与 ADC 转换结果在同一寄存器 ADCV，用户可一次性读取

运放 (OP)

- 一个 Rail-to-rail 的运放
- 可配置为 PGA 模式：
 - 同相输入增益：8/16/32/64
 - 反相输入增益：7/15/31/63
- 同相输入端引出两个外部引脚：OP_P0 或 OP_P1
- 反相输入端引出一个外部引脚：OP_N
- 输出端引出一个外部引脚：OP_O
- 输出端可直接接入 ADC 输入
- 输出端可直接接入 CMP 正端

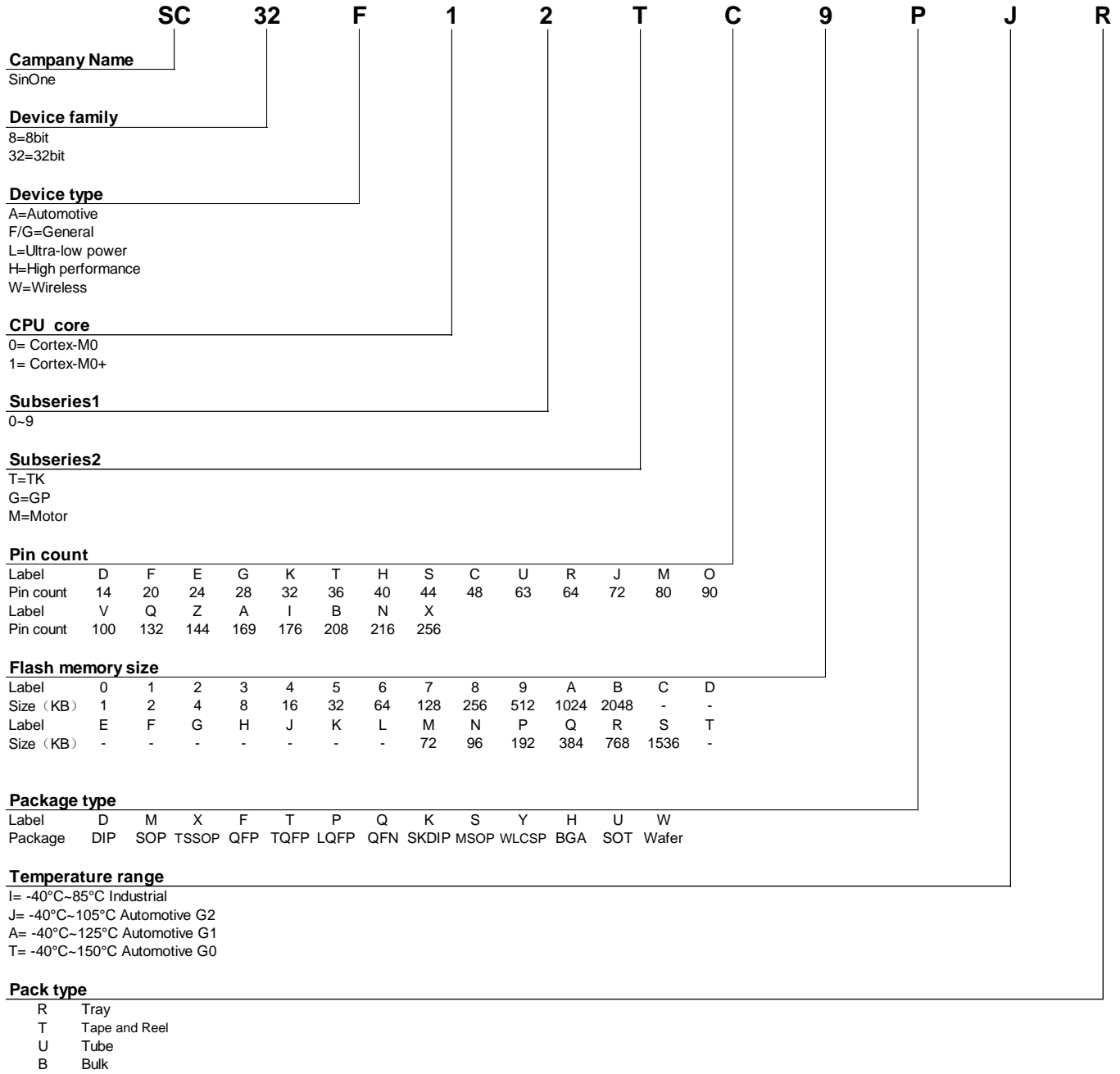
模拟比较器 CMP

- 正端输入信号五种可选：
 - 四个模拟信号正输入端 CMP0~CMP3
 - OP 输出端
- 负端输入电压可选择 CMPR 引脚或内部 VDD 分压的 15 档比较电压中的一种
- CMP 中断可唤醒 STOP Mode

产品外设资源表

型号外设	SC32F12T_ SC32F12G_															
	_C9	_S9	_K9	_G9	_C8	_S8	_K8	_G8	_C7	_S7	_K7	_G7	_C6	_S6	_K6	_G6
GPIOs	45	41	29	25	45	41	29	25	45	41	29	25	45	41	29	25
APROM(Kbyte)	512				256				128				64			
SRAM(Kbyte)	16															
TK	SC32F12T_(with TK) & SC32F12G_(without TK)															
SPI	3															
TWI	2															
UART	6															
TIM	8	7	4	4	8	7	4	4	8	7	4	4	8	7	4	4
PWM0	8	8	8	4	8	8	8	4	8	8	8	4	8	8	8	4
LEDPWM	31	31	19	19	31	31	19	19	31	31	19	19	31	31	19	19
OP	1															
CMP	1															
ADC Channels	16	16	8	8	16	16	8	8	16	16	8	8	16	16	8	8
LCD/LED COM X SEG	8X23 6X25 5X26 4X27		4X15 2X17 1X18		8X23 6X25 5X26 4X27		4X15 2X17 1X18		8X23 6X25 5X26 4X27		4X15 2X17 1X18		8X23 6X25 5X26 4X27		4X15 2X17 1X18	
CRC	YES															
DMA	YES															
Max. CPU frequency	64MHz															

产品命名规则



订购信息

型号	封装	包装
SC32F12TC9PJR	LQFP48	盘装
SC32F12TC8PJR	LQFP48	盘装
SC32F12TC7PJR	LQFP48	盘装
SC32F12TC6PJR	LQFP48	盘装
SC32F12GC9PJR	LQFP48	盘装
SC32F12GC8PJR	LQFP48	盘装
SC32F12GC7PJR	LQFP48	盘装
SC32F12GC6PJR	LQFP48	盘装
SC32F12TC9QJR	QFN48	盘装
SC32F12TC8QJR	QFN48	盘装
SC32F12TC7QJR	QFN48	盘装
SC32F12TC6QJR	QFN48	盘装
SC32F12GC9QJR	QFN48	盘装
SC32F12GC8QJR	QFN48	盘装
SC32F12GC7QJR	QFN48	盘装
SC32F12GC6QJR	QFN48	盘装
SC32F12TS9PJR	LQFP44	盘装
SC32F12TS8PJR	LQFP44	盘装
SC32F12TS7PJR	LQFP44	盘装
SC32F12TS6PJR	LQFP44	盘装
SC32F12GS9PJR	LQFP44	盘装
SC32F12GS8PJR	LQFP44	盘装
SC32F12GS7PJR	LQFP44	盘装
SC32F12GS6PJR	LQFP44	盘装
SC32F12TK9PJR	LQFP32	盘装
SC32F12TK8PJR	LQFP32	盘装
SC32F12TK7PJR	LQFP32	盘装
SC32F12TK6PJR	LQFP32	盘装
SC32F12GK9PJR	LQFP32	盘装
SC32F12GK8PJR	LQFP32	盘装
SC32F12GK7PJR	LQFP32	盘装
SC32F12GK6PJR	LQFP32	盘装
SC32F12TK9QJR	QFN32	盘装

型号	封装	包装
SC32F12TK8QJR	QFN32	盘装
SC32F12TK7QJR	QFN32	盘装
SC32F12TK6QJR	QFN32	盘装
SC32F12GK9QJR	QFN32	盘装
SC32F12GK8QJR	QFN32	盘装
SC32F12GK7QJR	QFN32	盘装
SC32F12GK6QJR	QFN32	盘装
SC32F12TG9MJU	SOP28	管装
SC32F12TG8MJU	SOP28	管装
SC32F12TG7MJU	SOP28	管装
SC32F12TG6MJU	SOP28	管装
SC32F12GG9MJU	SOP28	管装
SC32F12GG8MJU	SOP28	管装
SC32F12GG7MJU	SOP28	管装
SC32F12GG6MJU	SOP28	管装
SC32F12TG9XJU	TSSOP28	管装
SC32F12TG8XJU	TSSOP28	管装
SC32F12TG7XJU	TSSOP28	管装
SC32F12TG6XJU	TSSOP28	管装
SC32F12GG9XJU	TSSOP28	管装
SC32F12GG8XJU	TSSOP28	管装
SC32F12GG7XJU	TSSOP28	管装
SC32F12GG6XJU	TSSOP28	管装

目录

1	总体描述.....	1
2	主要功能.....	2
2.1	存储.....	2
2.2	BootLoader.....	2
2.3	烧写和仿真.....	2
2.4	时钟源.....	2
2.5	中断源.....	3
2.6	数字外围.....	3
2.7	模拟外围.....	4
	产品外设资源表.....	5
	产品命名规则.....	6
	订购信息.....	7
	目录.....	9
3	管脚定义.....	14
3.1	管脚配置图.....	14
3.2	管脚资源列表.....	18
4	资源框图.....	20
5	存储.....	21
5.1	概述.....	21
5.2	存储框图.....	21
5.3	特性.....	22
5.4	APROM（主存储区）.....	22
5.5	1.5 Kbytes 用户存储区域（类 EEPROM）.....	24
5.6	4 Kbytes LDROM（系统存储区）.....	24
5.6.1	BootLoader.....	24
5.7	SRAM.....	25
5.8	启动区域选择（自举）.....	25
5.8.1	从主存储区自举.....	25
5.8.2	从系统存储器自举.....	25
5.8.3	从嵌入式 SRAM 自举.....	25
5.8.4	自举模式设置.....	26
5.9	96 bits Unique ID.....	26
5.10	User ID 区域.....	26
5.11	编程.....	26

5.11.1	JTAG 专用模式.....	27
5.11.2	常规模式（JTAG 专用口无效）.....	27
5.12	安全加密.....	27
5.12.1	安全加密操作权限.....	28
5.13	In Application Programming（IAP）.....	28
5.13.1	IAP 操作相关寄存器表.....	28
5.13.2	IAP 寄存器映射.....	30
5.14	选项字节区域（Customer Option）.....	30
5.14.1	Customer Option 的映射寄存器.....	31
6	上电、复位和时钟控制（RCC）.....	33
6.1	上电过程.....	33
6.1.1	复位阶段.....	33
6.1.2	调入信息阶段.....	33
6.1.3	正常操作阶段.....	33
6.2	复位.....	33
6.2.1	硬件复位.....	34
6.2.2	软件复位.....	35
6.2.3	复位初始状态.....	35
6.2.4	复位后的启动区域.....	35
6.3	时钟.....	35
6.3.1	系统时钟源.....	35
6.3.2	内建高频 64MHz 振荡器（HIRC）.....	36
6.3.3	内置高频晶体振荡器电路，可外接 2~16MHz 高频振荡器（HXT）.....	36
6.3.4	内建低频 32kHz 振荡器（LIRC）.....	36
6.3.5	内置低频振荡电路，可外接 32.768kHz 低频振荡器（LXT）.....	36
6.4	寄存器访问时钟和外设时钟源.....	37
6.4.1	寄存器访问时钟.....	37
6.4.2	外设时钟源.....	37
6.4.3	总线时钟.....	37
6.4.4	外设时钟.....	39
6.4.5	外设时钟框图.....	40
6.4.6	外设时钟使能寄存器.....	40
6.4.7	低功耗模式时钟.....	41
7	中断.....	42
7.1	外部中断 INT0~15.....	42
7.2	中断与事件.....	42

7.3	中断向量表.....	42
8	省电模式.....	45
9	GPIO.....	46
9.1	时钟源.....	46
9.2	特性.....	46
9.3	GPIO 结构图.....	46
9.3.1	强推挽输出模式.....	46
9.3.2	带上拉的输入模式.....	47
9.3.3	高阻输入模式 (Input only).....	47
10	模数转换器 ADC.....	48
10.1	时钟源.....	48
10.2	特性.....	48
10.3	ADC 转换步骤.....	48
10.4	ADC 中断.....	49
10.5	ADC 连接电路图.....	49
11	运放及可编程增益放大器 (OP).....	50
11.1	特性.....	50
11.2	OP 端口选择.....	50
11.2.1	OP 同相端输入选择.....	50
11.2.2	OP 反相端输入选择.....	50
11.2.3	OP 输出选择.....	50
11.3	OP 电路结构框图.....	51
12	模拟比较器 CMP.....	52
12.1	特性.....	52
12.2	模拟比较器结构框图.....	52
13	UART0~5.....	53
13.1	时钟源.....	53
13.2	特性.....	53
13.3	UART2-LIN.....	54
13.3.1	LIN 帧结构.....	54
13.3.2	LIN 主机模式.....	54
13.3.3	LIN 从机模式.....	54
13.3.4	同步域误差错误.....	55
14	SPI0~2.....	56
14.1	时钟源.....	56
14.2	SPI0 特性.....	56

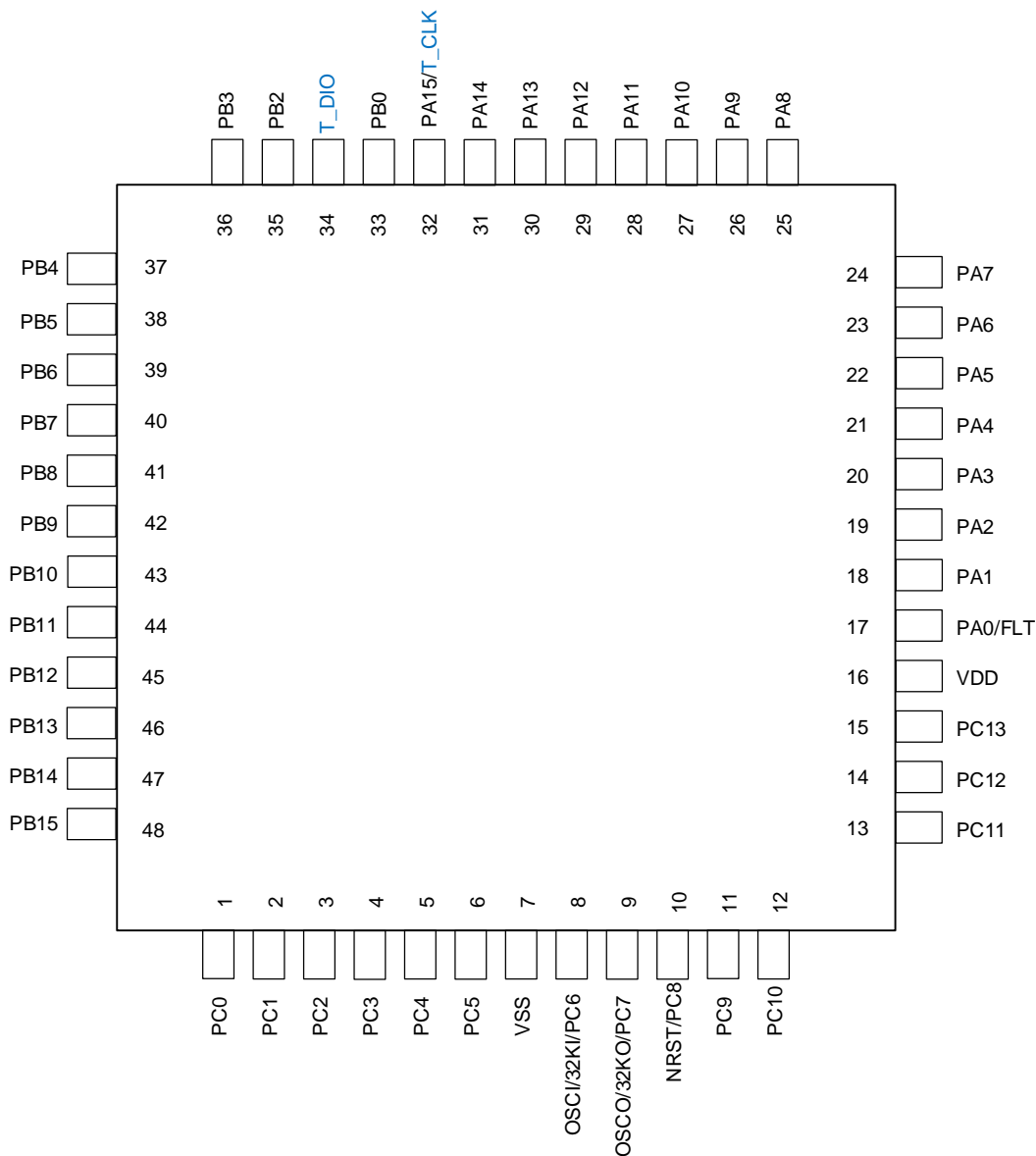
14.3	SPI1/2 特性.....	56
14.4	SPI0 和 SPI1/2 对比.....	57
15	TWI0~1	58
15.1	时钟源.....	58
15.2	特性.....	58
15.3	TWI 信号描述.....	58
16	硬件看门狗 WDT.....	59
16.1	时钟源.....	59
17	Base Timer (BTM)	60
17.1	时钟源.....	60
17.2	特性.....	60
18	内建 CRC 校验模块.....	61
18.1	时钟源.....	61
18.2	特性.....	61
19	PWM0: 8 路 16 位多功能 PWM	62
19.1	时钟源.....	62
19.2	特性.....	62
19.3	PWM0 结构框图.....	63
19.4	PWM0 通用配置.....	63
19.4.1	输出模式	63
19.4.2	对齐类型	64
19.4.3	占空比变化特性.....	64
19.4.4	周期变化特性	64
20	LEDPWM: 31 路 8 位 LEDPWM	65
20.1	时钟源.....	65
20.2	特性.....	65
21	LCD/LED 驱动器	66
21.1	时钟源.....	66
21.2	内置 8 COM x 23 SEG LED 驱动.....	66
21.3	内置 8 COM x 23 SEG LCD 驱动	66
22	36 路高灵敏度触控电路 (TK)	67
23	16 位定时/计数器 (TIM) Timer0~Timer7.....	68
23.1	时钟源.....	68
23.2	特性.....	68
23.3	计数方式	68
23.3.1	定时模式下 TIM 计数方式	68

23.3.2	PWM 输出模式下 TIM 计数方式.....	68
23.4	定时器相关的信号口.....	68
23.5	TIM 的中断及对应标志位.....	69
24	DMA 控制器.....	70
24.1	概述.....	70
24.2	时钟源.....	70
24.3	特性.....	70
24.4	功能说明.....	70
24.4.1	传输方向.....	70
24.4.2	DMA 访问区域限制.....	70
24.4.3	通道优先级.....	70
24.4.4	单次传输和批量传输.....	71
24.5	循环模式.....	71
25	Systick.....	72
25.1	时钟源.....	72
25.2	SysTick 校准寄存器默认值.....	72
26	电气特性.....	73
26.1	推荐工作条件.....	73
26.2	极限参数.....	73
26.3	Flash ROM 参数.....	73
26.4	运行功耗.....	73
26.4.1	V _{DD} = 5V, T _A = +25°C, 除非另有说明.....	73
26.4.2	V _{DD} = 3.3V, T _A = +25°C, 除非另有说明.....	74
26.5	GPIO 参数.....	74
26.5.1	V _{DD} = 5V, T _A = +25°C, 除非另有说明.....	74
26.5.2	V _{DD} = 3.3V, T _A = +25°C, 除非另有说明.....	75
26.6	TK 电气特性.....	76
26.7	BTM 电气特性.....	76
26.8	WDT 电气特性.....	76
26.9	交流电气特性.....	76
26.10	ADC 电气特性.....	76
26.11	CMP 电气特性.....	77
26.12	OP 电气特性.....	77
27	封装信息.....	79
28	版本记录.....	89
29	声明.....	90

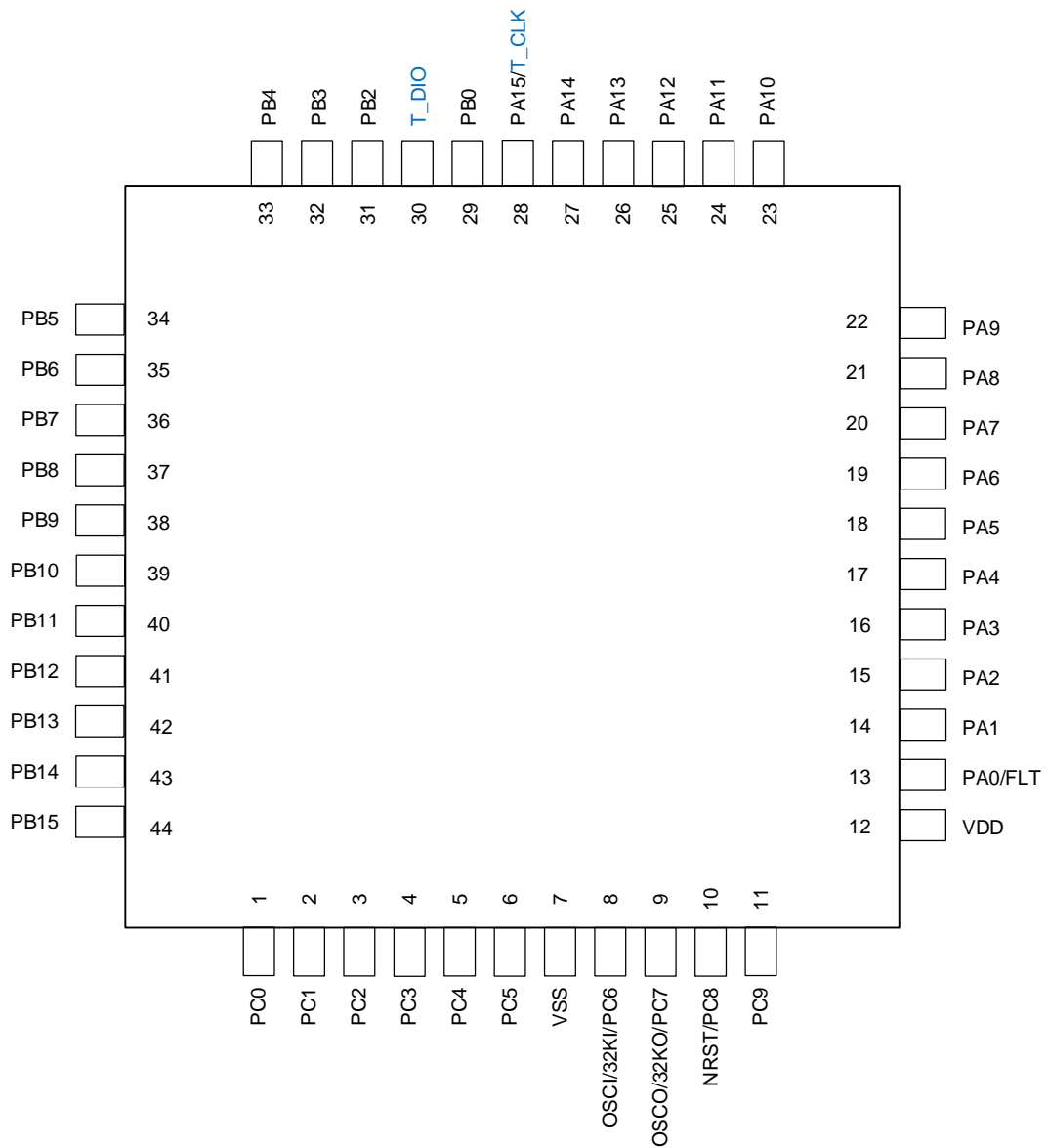
3 管脚定义

3.1 管脚配置图

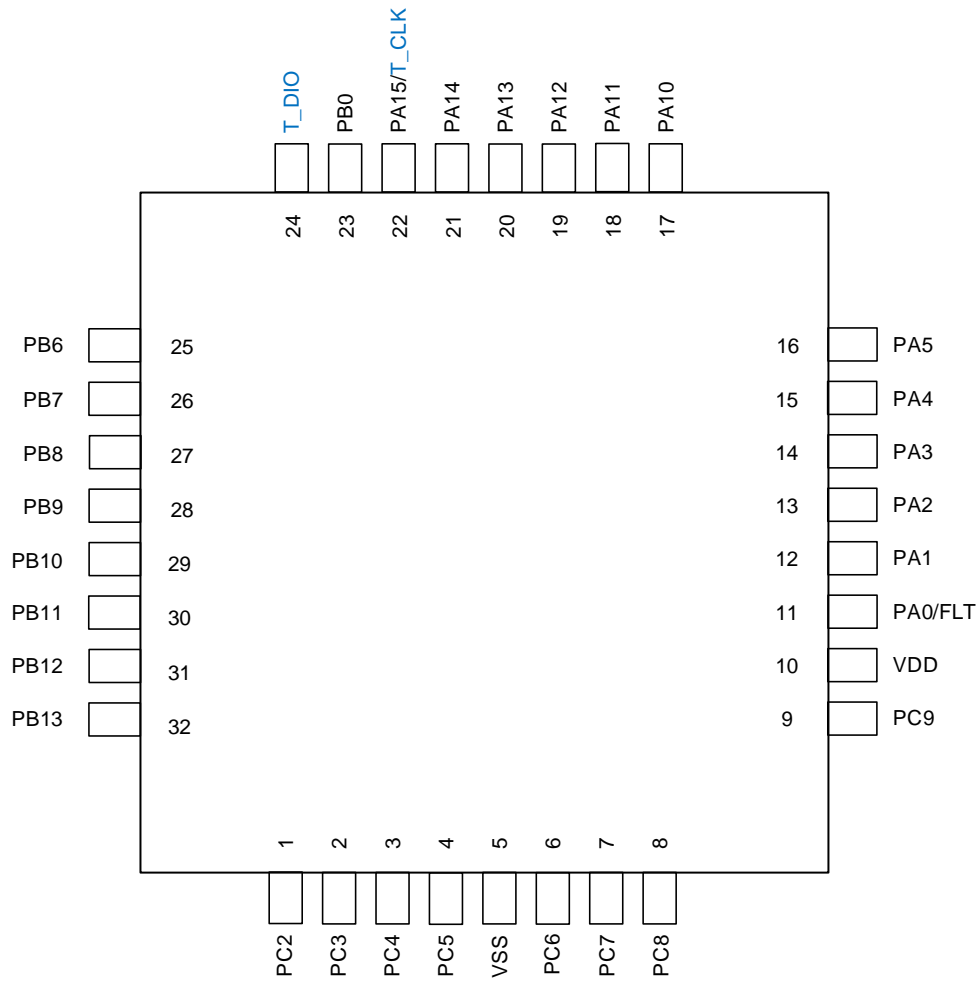
注意：仅 SC32F12T 系列支持 TK 功能，SC32F12T 的部分 TK 通道与 TK 调试通信口复用，若需使用 TK 调试功能，请尽量避免适用 TK9。



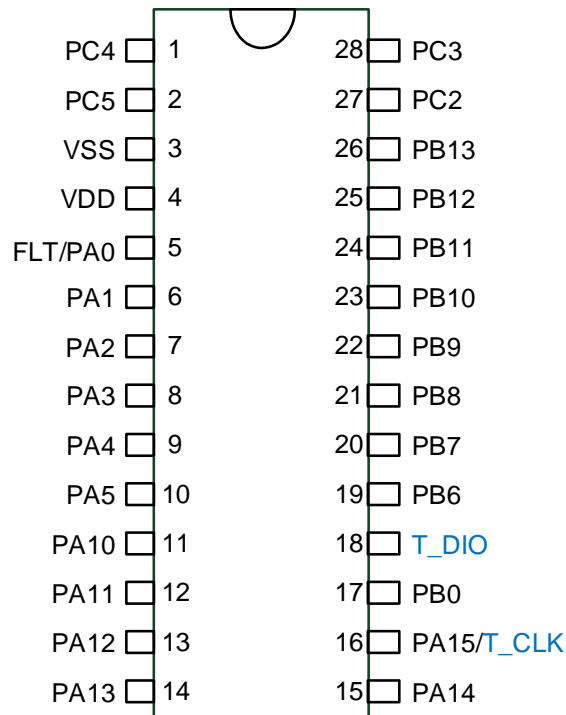
48PIN 管脚配置图
适用于 LQFP48、QFN48 封装



44PIN 管脚配置图
适用于 LQFP44 封装



32PIN 管脚配置图
适用于 LQFP32、QFN32 封装



28PIN 管脚配置图
适用于 SOP28、TSSOP28 封装

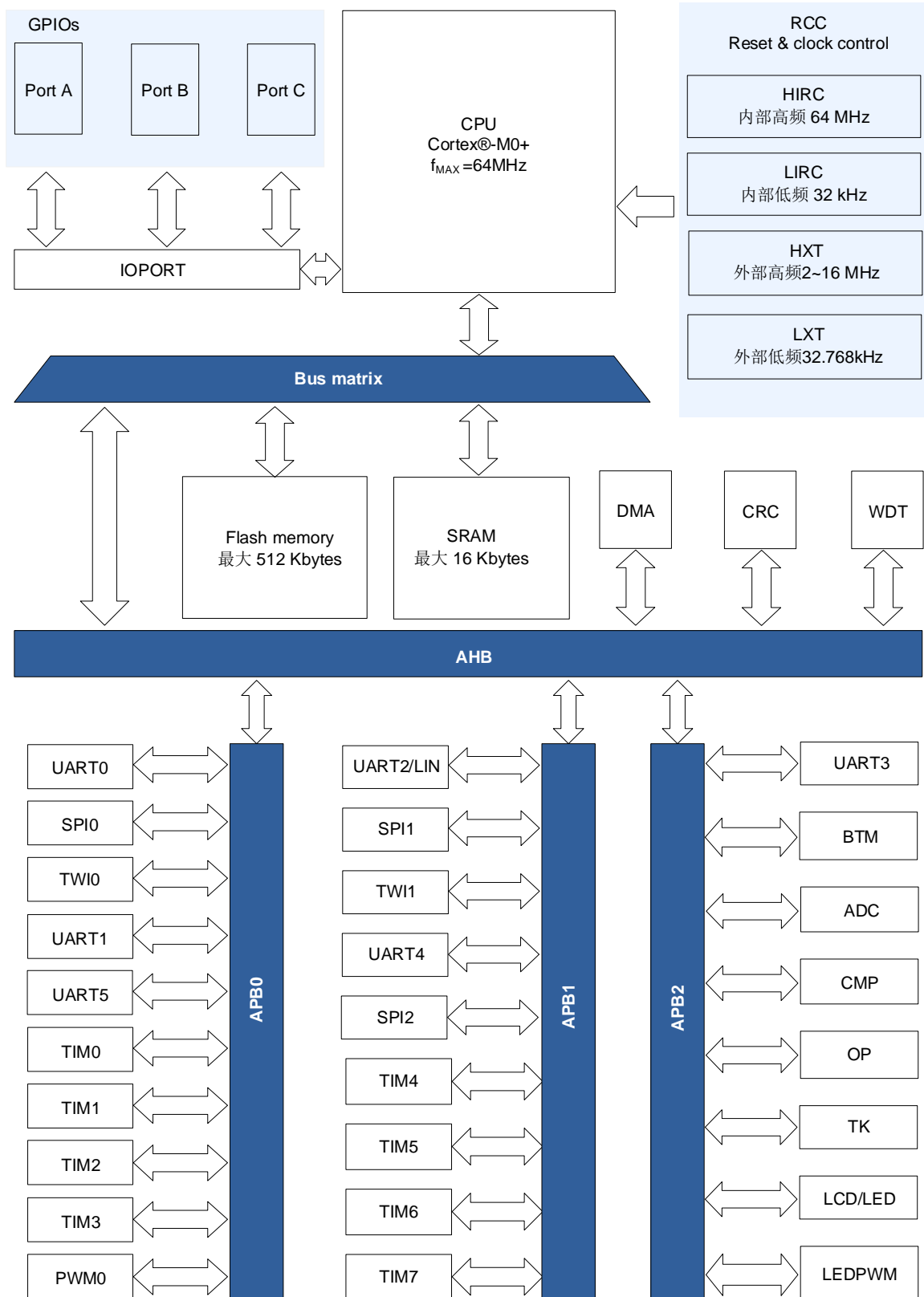
3.2 管脚资源列表

注意：仅 SC32F12T 系列支持 TK 功能，SC32F12T 的部分 TK 通道与 TK 调试通信口复用，若需使用 TK 调试功能，请尽量避免适用 TK9。

LQF P48/QFN 48	LQF P44	LQF P32/QFN 32	SOP28/TSSOP28	管脚名	特殊	TK	LCD/LED	OP	ADC	CMP	LEDPWM	PWM0	UART	SPI	TWI	TnPWM	TnEX/Tn	INT
1	1	-	-	PC0	-	TK26	S22	-	-	-	LEDPWM22	-	TXD5	(MOSI0C)/(MOSI2C)	(SDA0A)/(SDA1A)	T1PWMB	T1EX	INT00
2	2	-	-	PC1	-	TK27	S23	-	-	-	LEDPWM23	-	RXD5	(MISO0C)/(MISO2C)	-	T1PWMA	T1CAP/T1	INT01
3	3	1	27	PC2	-	TK28	S24	-	-	-	LEDPWM24	-	-	SCK0/(SCK1A)	(SCL0B)/(SCL1B)	T5PWMB	T5EX	INT02
4	4	2	28	PC3	-	TK29	S25	-	-	-	LEDPWM25	-	TXD0	MOSI0/(MOSI1A)	(SDA0B)/(SDA1B)	T5PWMA	T5CAP/T5	INT03
5	5	3	1	PC4	-	TK30	S26	-	-	-	LEDPWM26	-	RXD0	MISO0/(MISO1A)	-	-	-	INT04
6	6	4	2	PC5	-	Cmod	S27	-	-	-	LEDPWM27	-	-	-	-	-	-	INT05
7	7	5	3	VSS	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-
8	8	6	-	PC6	OSCI/32KI	-	-	-	-	-	-	PWM07	-	-	-	-	-	INT06
9	9	7	-	PC7	OSCO/32KO	-	-	-	-	-	-	PWM06	-	-	-	-	-	INT07
10	10	8	-	PC8	NRST	TK33	-	-	-	-	-	PWM05	(RXD0A)	-	-	-	-	INT08
11	11	9	-	PC9	-	TK34	-	-	-	-	-	PWM04	(TXD0A)	-	-	-	-	INT09
12	-	-	-	PC10	-	TK35	-	-	-	-	-	-	-	-	-	T4PWMB	T4EX	INT10
13	-	-	-	PC11	-	TK36	-	-	-	-	-	-	-	(SCK0A)/(SCK2A)	(SCL0C)/(SCL1C)	T4PWMA	T4CAP/T4	INT11
14	-	-	-	PC12	-	TK37	-	-	-	-	-	-	(TXD4A)	(MOSI0A)/(MOSI2A)	(SDA0C)/(SDA1C)	-	-	INT12
15	-	-	-	PC13	-	TK38	-	-	-	-	-	-	(RXD4A)	(MISO0A)/(MISO2A)	-	-	-	INT13
16	12	10	4	VDD	VDD	-	-	-	-	-	-	-	-	-	-	-	-	-
17	13	11	5	PA0	FLT	-	-	-	-	-	-	-	RXD2	MISO1/(MISO2B)	-	-	-	INT00
18	14	12	6	PA1	-	-	-	-	-	CMPR	-	-	TXD2	MOSI1/(MOSI2B)	(SDA0D)/(SDA1D)	-	-	INT01
19	15	13	7	PA2	-	-	-	OP_P1	AIN15	CMP3	-	PWM03	(TXD5A)	SCK1/(SCK2B)	(SCL0D)/(SCL1D)	-	-	INT02
20	16	14	8	PA3	-	-	-	OP_P0	AIN14	CMP2	-	PWM02	(RXD5A)	-	-	-	-	INT03
21	17	15	9	PA4	-	-	-	OP_N	AIN13	CMP1	-	PWM01	(TXD2A)	-	-	-	-	INT04
22	18	16	10	PA5	-	-	-	OP_O	AIN12	CMP0	-	PWM00	(RXD2A)	-	-	-	-	INT05
23	19	-	-	PA6	-	TK0	C7	-	AIN11	-	LEDPWM28	-	-	-	-	T0PWMB	T0EX	INT06
24	20	-	-	PA7	-	TK1	C6	-	AIN10	-	LEDPWM29	-	-	-	-	T0PWMA	T0CAP/T0	INT07
25	21	-	-	PA8	-	TK2	C5	-	AIN9	-	LEDPWM30	-	-	-	-	-	-	INT08
26	22	-	-	PA9	-	TK3	C4	-	AIN8	-	LEDPWM31	-	-	-	-	-	-	INT09

LQF P48/QFN 48	LQF P44	LQF P32/QFN 32	SOP28/TSSOP28	管脚名	特殊	TK	LCD/LED	OP	ADC	CMP	LEDPWM	PWM0	UART	SPI	TWI	TnPWM	TnEX/Tn	INT
27	23	17	11	PA10	-	TK4	C3/S0	-	-	-	LEDPWM0	-	-	-	-	-	-	INT10
28	24	18	12	PA11	-	TK5	C2/S1	-	-	-	LEDPWM1	-	-	-	-	-	-	INT11
29	25	19	13	PA12	-	TK6	C1/S2	-	-	-	LEDPWM2	-	-	-	-	-	-	INT12
30	26	20	14	PA13	-	TK7	C0/S3	-	-	-	LEDPWM3	-	-	-	-	-	-	INT13
31	27	21	15	PA14	-	TK8	S4	-	-	-	LEDPWM4	-	-	-	-	T3PWMB	T3EX	INT14
32	28	22	16	PA15	T_CLK	TK9	S5	-	-	-	LEDPWM5	-	RXD1	-	-	T3PWMA	T3CAP/T3	INT15
33	29	23	17	PB0	-	TK10	S6	-	-	-	LEDPWM6	-	-	-	-	-	-	INT00
34	30	24	18	-	T_DIO	-	-	-	-	-	-	-	TXD1	-	-	-	-	-
35	31	-	-	PB2	-	TK12	S8	-	AIN0	-	LEDPWM8	-	-	-	-	-	-	INT02
36	32	-	-	PB3	-	TK13	S9	-	AIN1	-	LEDPWM9	-	-	-	-	-	-	INT03
37	33	-	-	PB4	-	TK14	S10	-	AIN2	-	LEDPWM10	-	(RXD3A)	-	-	-	-	INT04
38	34	-	-	PB5	-	TK15	S11	-	AIN3	-	LEDPWM11	-	(TXD3A)	-	-	-	-	INT05
39	35	25	19	PB6	-	TK16	S12	-	AIN4	-	LEDPWM12	-	RXD4	-	-	-	-	INT06
40	36	26	20	PB7	-	TK17	S13	-	AIN5	-	LEDPWM13	-	TXD4	-	-	-	-	INT07
41	37	27	21	PB8	-	TK18	S14	-	AIN6	-	LEDPWM14	-	-	-	-	T2PWMB	T2EX	INT08
42	38	28	22	PB9	-	TK19	S15	-	AIN7	-	LEDPWM15	-	-	-	-	T2PWMA	T2CAP/T2	INT09
43	39	29	23	PB10	-	TK20	S16	-	-	-	LEDPWM16	-	-	-	-	T6PWMA	T6CAP/T6	INT10
44	40	30	24	PB11	-	TK21	S17	-	-	-	LEDPWM17	-	-	(SCK1C)/SCK2	SCL0/(SCL1E)	T6PWMB	T6EX	INT11
45	41	31	25	PB12	-	TK22	S18	-	-	-	LEDPWM18	-	TXD3	(MOSI1C)/MOSI2	SDA0/(SDA1E)	-	-	INT12
46	42	32	26	PB13	-	TK23	S19	-	-	-	LEDPWM19	-	RXD3	(MISO1C)/MISO2	-	-	-	INT13
47	43	-	-	PB14	-	TK24	S20	-	-	-	LEDPWM20	-	(TXD1A)	-	-	T7PWMA	T7CAP/T7	INT14
48	44	-	-	PB15	-	TK25	S21	-	-	-	LEDPWM21	-	(RXD1A)	(SCK0C)/(SCK2C)	(SCL0A)/(SCL1A)	T7PWMB	T7EX	INT15

4 资源框图

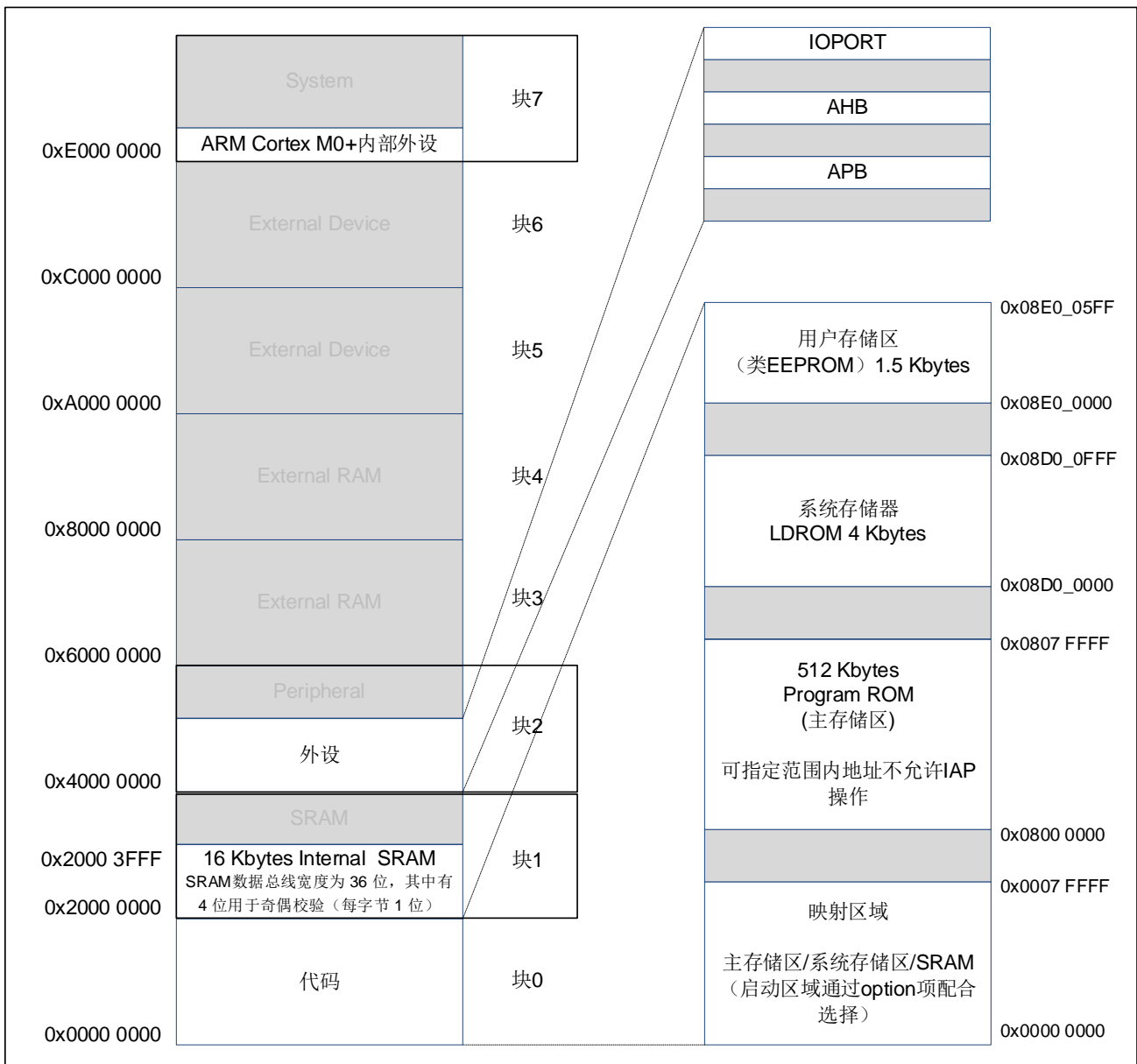


5 存储

5.1 概述

程序存储器、数据存储器、寄存器排列在同一个线性（即地址连续）的 4 GB 地址空间内。各字节按小端格式在存储器中编码。字中编号最低的字节被视为该字的最低有效字节，而编号最高的字节被视为最高有效字节。可寻址的存储空间分为 8 个主要块，每个块为 512 MB。

5.2 存储框图



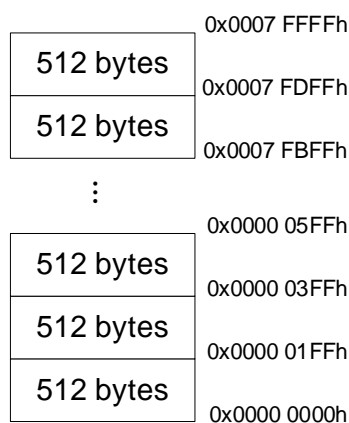
5.3 特性

- 存储 Flash 位宽为 32 bits，可反复写入 10 万次
- 常温下数据保存时间为 100 年以上。
- Flash 的组成结构如下：
 - 最大 512 Kbytes APROM（主存储区）
 - 4 Kbytes LDROM（系统存储区）
 - 1.5 Kbytes 用户存储区（类 EEPROM）
 - 16 Kbytes Internal SRAM，支持奇偶校验功能
 - 96 bits Unique ID

5.4 APROM（主存储区）

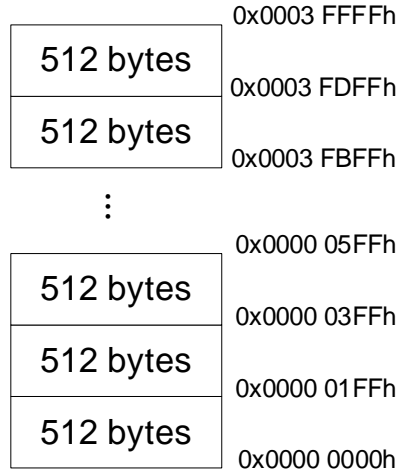
- SC32F12xx9 系列的主存储区（APROM）有 512 Kbyte
- SC32F12xx8 系列的主存储区（APROM）有 256 Kbytes
- SC32F12xx7 系列的主存储区（APROM）有 128 Kbytes
- SC32F12xx6 系列的主存储区（APROM）有 64 Kbyte
- 扇区（sector）大小：512 bytes
- 支持：读/ 写/ 扇区擦除/ 全擦除/ 查空
- CPU（Cortex®-M0+）通过 AHB 总线访问 Flash
- 程序默认从主存储区启动，用户可通过 customer option OP_BL[1:0]选择程序从 SRAM/LDROM 等其它区域启动
- 读保护：即读取加密，读保护开启后，仅可从主存储区启动运行的程序可以读取主存储区信息，其它区域启动或第三方工具无法获取主存储区信息
- 写保护：提供两段硬件写保护区域，写保护区域中禁止 IAP 操作，用户可以根据实际需求以扇区为单位设定两段写保护区域的范围

512 Kbytes 的 APROM 分为 1024 个扇区（sector），每个 sector 为 512 bytes，烧录时目标地址所属的 Sector 都会被烧写器强制擦除，再写入数据；用户写操作时，必须先擦除，再写入数据。



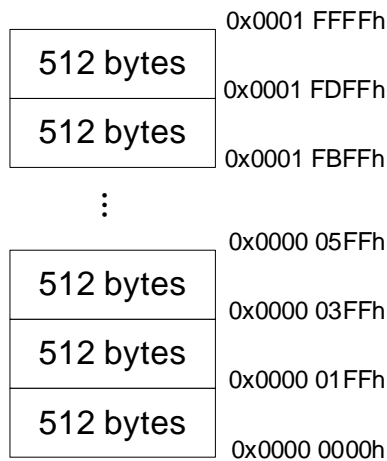
SC32F12xx9 系列 512 Kbytes APROM Sector 分区示意

256 Kbytes 的 APROM 分为 512 个扇区 (sector)，每个 Sector 为 512 bytes，烧录时目标地址所属的 Sector 都会被烧写器强制擦除，再写入数据；用户写操作时，必须先擦除，再写入数据。



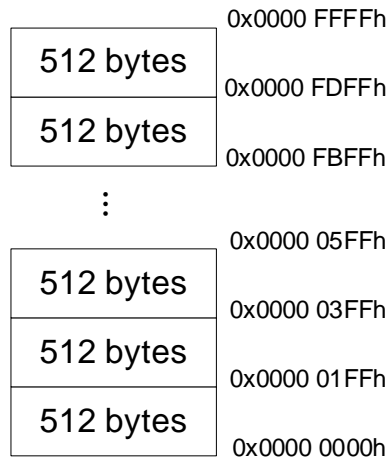
SC32F12xx8 系列 256 Kbytes APROM Sector 分区示意

128 Kbytes 的 APROM 分为 256 个扇区 (sector)，每个 Sector 为 512 bytes，烧录时目标地址所属的 Sector 都会被烧写器强制擦除，再写入数据；用户写操作时，必须先擦除，再写入数据。



SC32F12xx7 系列 128 Kbytes APROM Sector 分区示意

64 Kbytes 的 APROM 分为 128 个扇区 (sector)，每个 Sector 为 512 bytes，烧录时目标地址所属的 Sector 都会被烧写器强制擦除，再写入数据；用户写操作时，必须先擦除，再写入数据。

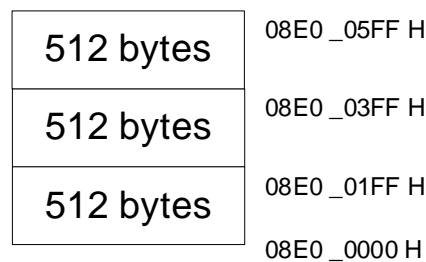


SC32F12xx6 系列 64 Kbytes APROM Sector 分区示意

5.5 1.5 Kbytes 用户存储区域（类 EEPROM）

1.5K bytes 独立 EEPROM 区域地址为 0x08E0_0000 H~ 0x08E0_05FF H，由 IAPADE 寄存器设定。独立 EEPROM 可反复写入 10 万次，常温下数据保存时间为 100 年以上。独立 EEPROM 支持查空、编程、校验、擦除和读取功能。

EEPROM 共有 3 个扇区（sector），每个 sector 为 512 bytes：



EEPROM Sector 分区示意

注意：EEPROM 擦写次数为 10 万次，用户擦写不要超过 EEPROM 的额定烧写次数，否则会出现异常！

5.6 4 Kbytes LDROM（系统存储区）

- 系统存储区为 4 Kbytes LDROM，出厂固化 ISP 程序，该区域用户无法改写也无法访问
- 嵌入式自举程序：固化的 ISP 程序，该指令公开，可以利用该程序通过 UART 更新程序 Flash。程序执行会等待升级命令，在 500ms 内未来接收到更新指令，则跳转到主存储区执行（0X8000_0000）

5.6.1 BootLoader

支持硬件和软件两种 BootLoad 方式：

- 软件做法：直接软件划分 BootLoad 和 APP 区域，通过修改 VTOR 可轻易实现 BootLoad、APP 中断共用，各区大小可随意裁切；
- 硬件做法：4 Kbytes 固定“系统存储器”为专用 BootLoader 区域，用户不可读写：
 - 系统存储区作为一个固化的 BootLoader 空间，其中的程序是出厂前烧录好，用户不可读写。
 - 嵌入式自举程序：嵌入式自举程序位于系统存储器中，在生产阶段编程。固化的 ISP 程序，该指令公开，可以利用该程序通过 UART 重新编程 Flash。

5.7 SRAM

- Internal SRAM: 16 Kbytes, 地址 0x2000_0000 ~ 0x2000 3FFF
- 支持奇偶校验：
 - 额外的 2 Kbytes RAM 用于奇偶校验：即 SRAM 数据总线宽度为 36 位，其中有 4 位用于奇偶校验（每字节 1 位）
 - 奇偶校验位在写入 SRAM 时进行计算和保存，在读取时自动进行校验。如果某一位失败，则将生成不可屏蔽中断（Cortex®-M0+ NMI）
 - 提供独立的 SRAM 奇偶校验错误标志 SRAMPEIF。

注意：当启用 SRAM 奇偶校验时，建议在代码开始处使用软件初始化整个 SRAM，以免在读取非初始化位置时出现奇偶校验错误。

- 用户可通过 customer option OP_BL[1:0]选择程序从 SRAM 启动
- 能够以最大系统时钟频率按字节、半字（16 位）或全字（32 位）访问，无等待状态，因此可由 CPU 和 DMA 访问。

5.8 启动区域选择（自举）

复位后，用户可自行设置所需的自举模式配置。

退出待机模式后，还可以对启动模式配置进行重新采样。该启动延迟结束后，CPU 将从地址 0x0000_0000 获取栈顶值，然后从始于 0x0000_0004 的自举存储器开始执行代码。

自举区域选择有三种：主存储区、系统存储区和 SRAM，详细描述如下：

5.8.1 从主存储区自举

主存储区在自举存储器空间（0x0000_0000）中有别名，但也可从它原来的存储器空间（0x0800_0000）访问。换句话说：程序可从地址 0x0000_0000 或 0x0800_0000 开始访问。

5.8.2 从系统存储器自举

- 系统存储区（4 Kbytes 独立 LDR0M）作为一个固化的 BootLoader 空间，其中的程序是出厂前烧录好，用户不可读写。
- 嵌入式自举程序：嵌入式自举程序位于系统存储器中，在生产阶段编程。固化的 ISP 程序，该指令公开，可以利用该程序通过 UART 重新编程 Flash。

5.8.3 从嵌入式 SRAM 自举

SRAM 在自举存储器空间（0x0000_0000）中有别名，但也可从它原来的存储器空间（0x2000_0000）访问。

5.8.4 自举模式设置

通过寄存器控制位 BTLDD[1:0]配合软件复位 RST 控制位可实现三种自举模式，BTLDD 和 RST 受 IAP_KEY 保护：

- ① 设置 BTLDD[1:0]= 00，芯片软件复位后从主存储区（APROM）启动
 - ② 设置 BTLDD[1:0]= 01，芯片软件复位后从系统存储区（LDR0M）启动
 - ③ 设置 BTLDD[1:0]= 10，芯片软件复位后从嵌入式 SRAM 启动
- 通过 customer option 项 OP_BL[1:0]实现芯片上电初始启动区域选择：

- ① 设置 OP_BL[1:0]= 00，芯片复位后从主存储区（APROM）启动
- ② 设置 OP_BL[1:0]= 01，芯片复位后从系统存储区（LDR0M）启动
- ③ 设置 OP_BL[1:0]= 10，芯片复位后从嵌入式 SRAM 启动

5.9 96 bits Unique ID

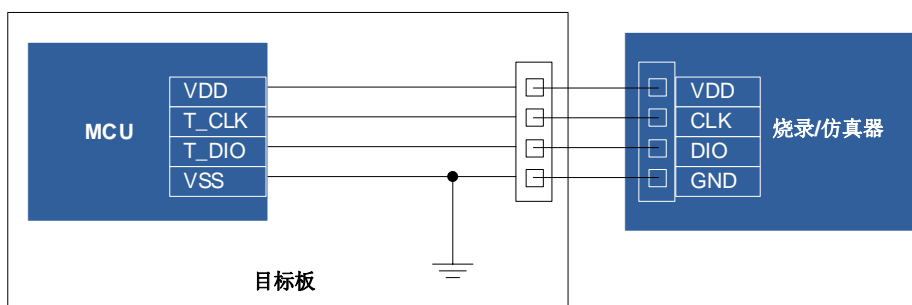
SC32F12T/12G 提供了一个独立的 Unique ID 区域，出厂前会预烧一个 96 bits 的唯一码，用以确保该芯片的唯一性。用户获得序列号的唯一方式是通过 IAP 指令读取。

5.10 User ID 区域

User ID 区域，出厂时写入用户定制 ID，用户可对其进行读操作，但禁止对 User ID 区域进行写操作。

5.11 编程

SC32F12T/12G 的 Flash 通过 T_DIO、T_CLK、VDD、VSS 来进行编程，具体连接关系如下：



ICP 模式 Flash Writer 编程连接示意图

T_DIO、T_CLK 是 2 线 JTAG 烧写和仿真的信号线，用户在烧录时可通过 Customer Option 项配置这两端口的模式：JTAG 专用模式和常规模式（JTAG 专用口无效）。

注意：UART1 的信号引脚支持两种映射方案：

- 映射 1：RXD1 / TXD1
- 映射 2：RXD1A / TXD1A

当选择映射 1（RXD1/TXD1）时，该组引脚与系统烧录/调试接口（T_CLK / T_DIO）复用。在此映射下，

若启用全双工通信，T_CLK / T_DIO 可能会与 UART1 的 RXD1 接收时序产生冲突，导致通信异常。因此，选择映射 1 时必须将 UART1 配置为半双工通信模式，以避免此硬件冲突并保证通信稳定性。

如需使用全双工 UART 通信，请将管脚映射至映射 2 (RXD1A/TXD1A)。

5.11.1 JTAG 专用模式

JTAG 专用模式下，T_DIO、T_CLK 为烧写仿真专用口，与之复用的其它功能不可用。此模式一般用于在线调试阶段，方便用户仿真调试；JTAG 专用模式生效后，芯片无需重新上下电即可直接进入烧录或仿真模式。

5.11.2 常规模式 (JTAG 专用口无效)

常规模式下，JTAG 功能不可用，端口上与之复用的其它功能可正常使用。此模式可防止烧录口占用 MCU 管脚，方便用户最大化利用 MCU 资源。

注意：当 JTAG 专用口无效的配置设定成功后，芯片必须彻底下电再重新上电后才能进入烧录或仿真模式，这样就会影响到带电模式下的烧录和仿真。赛元建议用户在量产烧录时选择 JTAG 专用口无效的配置，在研发调试阶段选择 JTAG 模式。

相关 Customer Option 如下：

寄存器	读/写	说明	复位值
COPT1_CFG@0xC2	读/写	Customer Option 映射寄存器 1	0x0000_0000

7	6	5	4	3	2	1	0
ENWDT	DISJTG	DISRST	-	-	-	OP_BLI[1:0]	

位编号	位符号	说明
6	DISJTG	JTAG 口切换控制位 0: JTAG 模式使能，对应管脚只能作为 T_CLK/ T_DIO 使用 1: 常规模式 (Normal)，JTAG 功能无效

5.12 安全加密

SC32F12T/12G 系列的安全加密功能主要是对 APROM 进行读保护加密：用户可在烧录阶段通过赛元专用烧录套件的烧录上位机的 customer option 项配置读保护加密功能，选择是否开启 flash 读保护，进入加密模式：

- 芯片默认出厂时 flash 为非加密状态
- 读保护加密功能无映射寄存器，用户只能在烧录阶段通过赛元专用烧录套件的烧录上位机的 customer option 项配置，必须经过烧录才能完成修改。
- 加密失能：可对主存储区执行读取、编程和擦除操作。也可对选项字节和备份寄存器进行所有操作。
- 加密使能：
 - 主存储区启动：在用户模式下执行的代码（从用户 APROM 自举）可对主存储区执行所有操作。
 - 调试、从 SRAM 启动以及从系统存储区启动：在调试模式下或当代码从 SRAM 或系统存储区启动时，主存储区完全不可访问。
- 取消加密使能必须先对主存储区进行全擦操作。

5.12.1 安全加密操作权限

启动区域/工具	解锁状态					读保护加密状态				
	读	写	块擦	全擦	操作写保护区域	读	写	块擦	全擦	操作写保护区域
从 APROM 自举	√	√	√	\	禁止	√	√	√	\	禁止
调试/从 SRAM 自举	√	√	√	√	禁止	禁止	禁止	禁止	禁止	禁止
从系统存储区自举	√	√	√	√	√	禁止	禁止	禁止	√	禁止

5.13 In Application Programming (IAP)

SC32F12T/12G 的 APROM 中的 IAP 区域可进行 In Application Programming (IAP) 操作，用户可以通过 IAP 操作实现远程程序更新，也可以通过 IAP 读操作获取 Unique ID 区域或 User ID 区域信息。进行 IAP 写数据操作前，用户必须对目标地址所属的 Sector 进行扇区擦除操作。

芯片默认出厂时 APROM 允许全局 IAP 操作。芯片内部提供两组 flash 写保护区域，按照扇区单位设置起始，被保护的区域禁止 IAP 操作，设置规则如下：

IAPPORx 寄存器值 (x=A 或 B)	IAPPOR 保护区域
IAPPORx_ST = IAPPORx_ED	扇区 IAPPORx
IAPPORx_ST > IAPPORx_ED	无 (不受保护)
IAPPORx_ST < IAPPORx_ED	从 IAPPORx_ST 到 IAPPORx_ED 的扇区

用户在烧录时可通过 Customer Option 项里的“Flash sectors protection”配置这两段 APROM 写保护区域。

注意：

1. IAP 不支持字节/半字编程，即：IAP 写入时必须按字对齐（4 字节对齐）；若按字节/半字写入，都会自动重复写入字节补齐至字写入，例：写入 0x12，将自动补齐为 0x12121212 写入；写入 0x1234，将自动补齐为 0x12341234 写入。

2. 当用户使用 HXT 作为系统时钟源进行 IAP 操作时，请参考赛元提供的应用文档《赛元 SC32 IAP 操作流程的规范》进行操作，避免出现异常。

5.13.1 IAP 操作相关寄存器表

对写保护区域之外的 APROM 进行 IAP 操作，可通过以下寄存器实现：

5.13.1.1 数据保护寄存器 IAP_KEY

寄存器	读/写	说明	复位值
IAP_KEY	读/写	数据保护寄存器	0x0000_0000

31	30	29	28	27	26	25	24
IAPKEY[31:24]							
23	22	21	20	19	18	17	16
IAPKEY[23:16]							
15	14	13	12	11	10	9	8
IAPKEY[15:8]							
7	6	5	4	3	2	1	0
IAPKEY[7:0]							

位编号	位符号	说明
31~0	IAPKEY[31:0]	数据保护锁 为防止因电气干扰等原因出现对 Flash 的意外操作，IAP_CON 寄存器执行写操作前需要通过 IAPKEY 解锁。解锁顺序如下： 1. 写入 KEY1 = 0x1234_5678 2. 写入 KEY2 = 0xA05F_05FA 如果操作顺序不正确，会锁定 IAP_CON 寄存器，直到下次系统复位才会解锁。

5.13.1.2 IAP 扇区编号设置寄存器 IAP_SNB

寄存器	读/写	说明	复位值
IAP_SNB	读/写	IAP 扇区编号设置寄存器	0x0000_0000

31	30	29	28	27	26	25	24
IAPADE[7:0]							
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	IAPSNB[9]	IAPSNB[8]
7	6	5	4	3	2	1	0
IAPSNB[7:0]							

位编号	位符号	说明
31~24	IAPADE[7:0]	IAP 操作区域扩展地址 通过向 IAPADE 写入不同的值，使得 IAP 操作指向不同的操作区域： 0x00: 无效 0x4C: APROM 0x69: EEPROM 0xF1: customer option
9~0	IAPSNB[9:0]	扇擦/页擦时的 IAP 操作扇区编号设置： 实际操作扇区的起始地址 = Flash 基址 + [IAPSNB[9:0] x 0x200]
23~10	-	保留

5.13.1.3 IAP 控制寄存器 IAP_CON (写保护)

*该寄存器受写保护，必须操作数据保护寄存器 IAP_KEY 才能修改。

寄存器	读/写	说明	复位值
IAP_CON	读/写	IAP 控制寄存器	0x0000_0000

31	30	29	28	27	26	25	24
LOCK	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	BTLD[1:0]		RST
7	6	5	4	3	2	1	0
ERASE	-	SERASE	PRG	-	-	CMD[1:0]	

位编号	位符号	说明
31	LOCK	对该位写 1 后，IAP_CON 寄存器被锁定。当检测到解锁序列时，由硬件将该位清 0。 如果解锁操作失败，该位仍保持置 1，直到下一次系统复位。
10~9	BTLD[1:0]	软件复位后程序启动区域选择位： 00：芯片软件复位后从 APROM（主存储区）启动 01：芯片软件复位后从 LDROM（系统存储区）启动 10：芯片软件复位后从嵌入式 SRAM 启动 11：保留
8	RST	软件复位控制位 0：程序正常运行 1：对该位写 1 后系统立刻复位
7	ERASE	全擦（All Erase）控制位 0：无操作 1：对该位写 1 后再配置 CMD[1:0]=10，则进入 APROM 全擦除操作，APROM 将全部擦除
5	SERASE	扇区擦除（Sector Erase）控制位 0：无操作 1：对该位写 1 后再配置 CMD[1:0]=10，则进入 APROM 扇区擦除操作，APROM 的指定 Sector 将被擦除
4	PRG	编程（Program）控制位 0：禁止 Flash 编程 1：使能 Flash 编程
1~0	CMD[1:0]	IAP 命令使能控制位 10：执行擦除操作命令 其它：保留 注意： 1. 擦除操作命令位写 1 后，必须配置 CMD[1:0]=10，相应的操作才会开始执行 2. 一次只能执行 1 种 IAP 操作，所以 ERASE/SERASE 位同一时间只能有一位置 1
30~11 6 3~2	-	保留

5.13.2 IAP 寄存器映射

寄存器	偏移地址	读/写	说明	复位值
IAP 基地址：0x4000_03C0				
IAP_KEY	0x00	读/写	数据保护寄存器	0x0000_0000
IAP_SNB	0x04	读/写	IAP 扇区编号设置寄存器	0x0000_0000
IAP_CON	0x0C	读/写	IAP 控制寄存器	0x0000_0000

5.14 选项字节区域（Customer Option）

SC32F12T/12G 有单独的一块 Flash 区域用于保存客户的上电初始值设置，此区域称为选项字节区域

(Customer Option) 区域。用户在烧录时可通过上位机对 Customer Option 项进行配置，在烧写过程中将配置值写入 Customer Option 区域，IC 在复位初始化阶段将调用 Customer Option 数据作为初始设置。

也可通过操作 Customer Option 的映射寄存器临时修改 Customer Option 项，但是需要注意：修改映射寄存器仅可实现临时调整，不会对 Customer Option 区域的设置值造成任何影响，芯片复位后，仍会根据烧录时用户选择的 Customer Option 参数进行初始化。

Customer Option 相关映射寄存器的操作方式如下：

Customer Option 相关 SFR 的读写操作由 OPINX 和 OPREG 两个寄存器进行控制，各 Customer Option SFR 的具体位置由 OPINX 确定，如下表所示：

寄存器	地址	说明	复位值
OPINX	0x4000_03F8	Customer Option 指针	0x0000_0000
OPREG	0x4000_03FC	Customer Option 寄存器	0x0000_0000
COPT0_CFG	0XC1 @ OPINX	Customer Option 映射寄存器 0	0x0000_0000
COPT1_CFG	0XC2 @ OPINX	Customer Option 映射寄存器 1	0x0000_0000

5.14.1 Customer Option 的映射寄存器

使用 OPINX 配合 OPREG 改写 IFB 映射寄存器之前，应先要打开 Customer Option 寄存器的时钟使能开关 AHB_CFG.IFBEN：

5.14.1.1 AHB 总线外设时钟使能寄存器 AHB_CFG

寄存器	读/写	说明	复位值
AHB_CFG	读/写	AHB 总线外设时钟使能寄存器	0x0020_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	CLKDIV[2:0]			-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	-	IFBEN	CRCEN	DMAEN

位编号	位符号	说明
2	IFBEN	Customer Option 映射寄存器时钟使能位 使用 OPINX 配合 OPREG 改写 IFB 映射寄存器之前，应先要打开时钟使能。 0：禁止 1：使能

5.14.1.2 Customer Option 映射寄存器 0 COPT0_CFG

寄存器	地址	说明	复位值
COPT0_CFG	读/写	Customer Option 映射寄存器 0	0x0000_0000

7	6	5	4	3	2	1	0
-	-	-	-	-	DISLVR	LVRS [1:0]	

位编号	位符号	说明
2	DISLVR	LVR 开关 0: LVR 有效 1: LVR 无效
1~0	LVRS [1:0]	LVR 电压选择控制 11: 4.3V 复位 10: 3.7V 复位 01: 2.9V 复位 00: 1.9V 复位
7~3	-	保留

5.14.1.3 Customer Option 映射寄存器 1 COPT1_CFG

寄存器	读/写	说明	复位值
COPT1_CFG	读/写	Customer Option 映射寄存器 1	0x0000_0000

7	6	5	4	3	2	1	0
ENWDT	DISJTG	DISRST	-	-	-	OP_BL[1:0]	

位编号	位符号	说明
7	ENWDT	WDT 开关 1: WDT 开始工作 0: WDT 关闭
6	DISJTG	JTAG 口切换控制位 0: JTAG 模式使能, 对应管脚只能作为 T_CLK/ T_DIO 使用 1: 常规模式 (Normal), JTAG 功能无效
5	DISRST	复位信号口切换控制位 该位只读, 用户不可改写。 0: NRST 对应管脚当复位脚使用 1: NRST 所在管脚做正常的 GPIO 管脚使用
1~0	OP_BL[1:0]	芯片复位后启动区域选择 该位只读, 用户不可改写。 00: 芯片复位后从 APROM (主存储区) 启动 01: 芯片复位后从 LDRAM (系统存储区) 启动 10: 芯片复位后从嵌入式 SRAM 启动 11: 保留
4~2	-	保留

6 上电、复位和时钟控制（RCC）

6.1 上电过程

SC32F12T/12G 上电后，在客户端软件执行前，会经过以下三个阶段：

- ① 复位阶段；
- ② 调入信息阶段；
- ③ 正常操作阶段。

6.1.1 复位阶段

复位阶段是指 SC32F12T/12G 持续保持在复位状态，直到供应电压超过特定的阈值，其内部时钟机制才开始有效运作。

该阶段的具体时长受外部电源电压上升速率的影响，当外部电源提供的电压达到内建 POR 电压时，复位阶段即告结束。

6.1.2 调入信息阶段

在 SC32F12T/12G 内部有一个预热计数器。复位阶段，此预热计数器持续清零，供电电压上升至 POR 后，内部 HIRC 振荡器预热计数器开始计数。该预热计数器计数到一定数值后，Flash ROM 中的 IFB（包含 Customer Option）数据将被周期性得读取至系统寄存器。所有 IFB 数据读取完毕后，预热及信息调入阶段结束，系统进入正常操作模式。

6.1.3 正常操作阶段

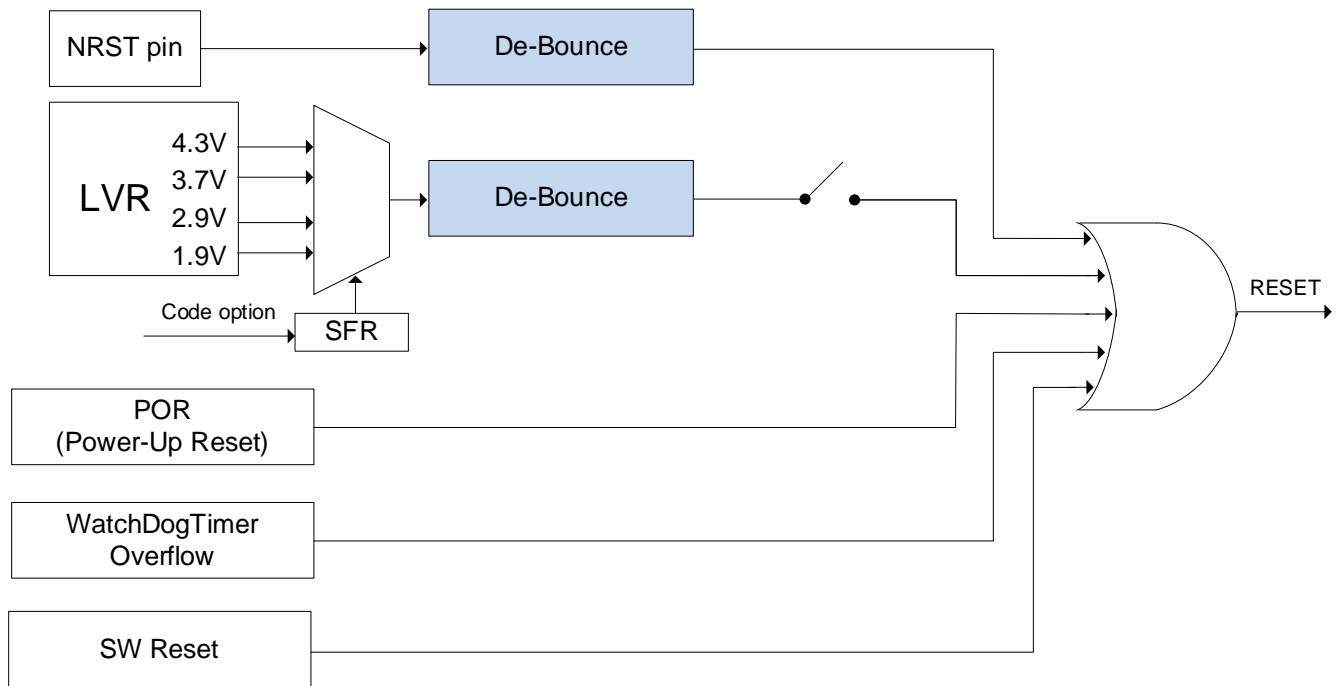
结束调入信息阶段后，SC32F12T/12G 开始从 Flash 中读取指令代码即进入正常操作阶段。这时的 LVR 电压值是用户写入 Customer Option 的设置值。

6.2 复位

SC32F12T/12G 有两类复位方式：硬件复位和软件复位；当复位发生后，全部寄存器都将恢复成其复位值。SC32F12T/12G 有 5 种复位方式，前四种为硬件复位：

- ① 外部 NRST 复位
- ② 低电压复位 LVR
- ③ 上电复位 POR
- ④ 看门狗 WDT 复位
- ⑤ 软件复位

SC32F12T/12G 的复位部分电路结构图如下：



SC32F12T/12G 复位电路图

6.2.1 硬件复位

硬件复位可通过以下四种方式完成：

- ① 外部 NRST 复位
- ② 低电压复位 LVR
- ③ 上电复位 POR
- ④ 看门狗 WDT 复位

6.2.1.1 外部 NRST 复位

SC32F12T/12G 的外部 NRST 复位可通过在外部 NRST 引脚上输入一个脉宽大于 18 μ s 的低电平复位脉冲信号实现。

用户在烧录程序前可通过烧录上位机软件配置 Customer Option 项将 PC8/ NRST 管脚配置为 NRST（复位脚）使用。

- 当该管脚配置为复位功能时，该管脚不能作为 GPIO 功能使用。
- 当该管脚配置为 GPIO 功能时，该管脚的复位功能不可用。

6.2.1.2 低电压复位 LVR

SC32F12T/12G 内建了一个低电压复位电路。支持 4 种门限电压选择：4.3V、3.7V、2.9V、1.9V，出厂时，默认的门限电压值为 1.9V，用户可通过烧录时设置 Customer Option 的值来设定缺省值。当 VDD 电压低于设定的门限值，且持续时间超过约 30 μ s 的消抖时间 TLVR 时，芯片将被复位。

6.2.1.3 上电复位 POR

SC32F12T/12G 内部有上电复位电路，当电源电压 V_{DD} 达到 POR 复位电压时，系统自动复位。

6.2.1.4 看门狗复位 WDT

SC32F12T/12G 有一个 WDT，其时钟源为内部的 32kHz 振荡器。用户可以通过编程器的 Customer Option 选择是否开启看门狗复位功能。

6.2.2 软件复位

SC32F12T/12G 提供软件复位功能，用户可以通过对 RST (IAP_CON.8) 位写 1 后，使得系统立刻复位。

6.2.3 复位初始状态

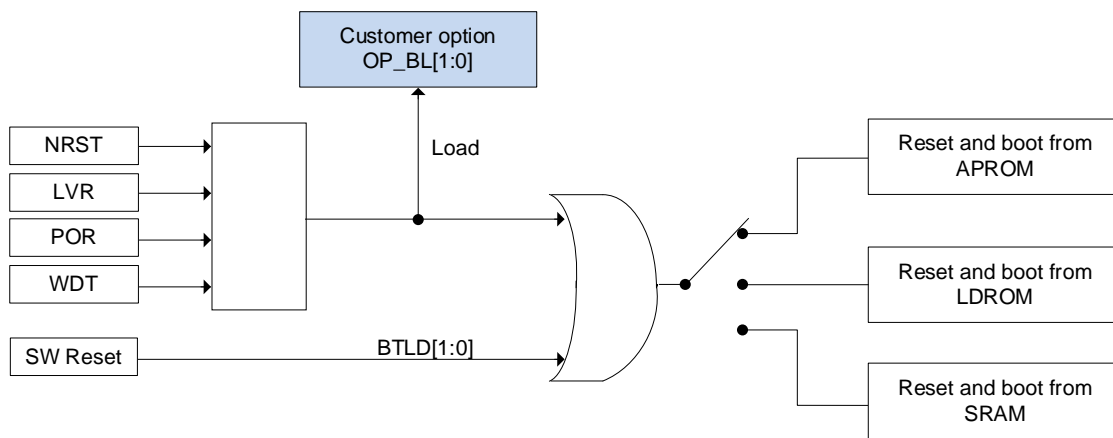
当 SC32F12T/12G 处于复位状态时，多数寄存器会回到其初始状态。看门狗 WDT 处于关闭的状态。“热启动”的 Reset (如 WDT、LVR、软件复位等) 不会影响到 SRAM，SRAM 值始终是复位前的值。SRAM 内容的丢失会发生在电源电压低到 RAM 无法保存为止。

注意：当电源电压降低到无法维持 RAM 数据保存的程度时，SRAM 中的内容将会丢失。

6.2.4 复位后的启动区域

外部 NRST 复位、低电压复位 LVR、上电复位 POR、看门狗 WDT 这四种硬件复位后，芯片从用户 OP_BL[1:0] 设定的启动区域 (APROM / LDROM / SRAM) 启动。

软件复位后，芯片根据 BTLD[1:0] 设定的启动区域 (APROM / LDROM / SRAM) 启动。



SC32F12T/12G 复位后启动区域切换示意图

6.3 时钟

6.3.1 系统时钟源

四种不同的时钟源可被用来驱动系统时钟 SYSCLK:

- 内建高频 64MHz 振荡器 (HIRC)
- 外接高频晶振 (HXT)
- 内建低频 32kHz 振荡器 (LIRC)
- 外接低频晶振 (LXT)

对于每个振荡器，在未使用时可单独进行打开或关闭以降低功耗。

注意：

- 1、上电默认的系统时钟源为 HIRC，上电默认的系统时钟频率为 $f_{HIRC}/2$ ，用户可在上电后的正常操作阶段，通过软件方式切换时钟源。切换前务必确保所选时钟源已处于稳定的工作状态；
- 2、系统时钟源无论选择切换至哪一种，都必须先将系统时钟源切换至 HIRC，再切换至目标时钟源。
- 3、当用户使用 HXT 作为系统时钟源进行 IAP 操作时，请参考赛元提供的应用文档《赛元 SC32 IAP 操作流程的规范》进行操作，避免出现异常。

6.3.2 内建高频 64MHz 振荡器 (HIRC)

内建高频时钟 HIRC 可通过对寄存器 RCC_CFG0 的 HIRCEN 位置 1 开启，或清 0 关闭；且用户需要先对 RCC 保护寄存器 RCC_KEY 写入一个大于 0x40 的值后才能对 RCC_CFG0 和 RCC_CFG1 进行改写。

HIRC 有以下功能及特性：

- 可作为系统运行时钟
- 系统上电默认时钟频率 f_{SYS} 为 $f_{HIRC}/2$
- 频率误差：跨越 (2.0V~5.5V) 及 (-40 ~ 105°C) 应用环境，不超过 $\pm 1\%$
- 可通过 32.768kHz 外接晶振进行自动校准，校准后 HIRC 精度可无限接近外接 32.768kHz 晶振的精度

6.3.3 内置高频晶体振荡器电路，可外接 2~16MHz 高频振荡器 (HXT)

外接高频晶振时钟 HXT 可通过对寄存器 RCC_CFG0 的 HXTEN 位置 1 开启，或清 0 关闭；且用户需要先对 RCC 保护寄存器 RCC_KEY 写入一个大于 0x40 的值后才能对 RCC_CFG0 和 RCC_CFG1 进行改写。

另外，用户还需根据外接高频晶振频率设置合理的 CRY_HF 值，当外接高频晶振频率小于 12MHz 时，应对 CRY_HF 写 0；当外接高频晶振频率大于 12MHz 时，应对 CRY_HF 写 1。

HXT 有以下功能及特性

- 可作为系统运行时钟
- 可外接 2~16MHz 高频振荡器

6.3.4 内建低频 32kHz 振荡器 (LIRC)

内建低频时钟 LIRC 可通过对寄存器 RCC_CFG0 的 LIRCEN 位置 1 开启，或清 0 关闭；且用户需要先对 RCC 保护寄存器 RCC_KEY 写入一个大于 0x40 的值后才能对 RCC_CFG0 和 RCC_CFG1 进行改写。

LIRC 有以下功能及特性

- 可作为系统运行时钟
- 可作为 LCD/LED 模块的时钟源
- 可作为 Base Timer 及 WDT 的时钟源
- 频率误差：跨越 (4.0 ~ 5.5V) 及 25°C 应用环境，经寄存器修正后频率误差不超过 $\pm 4\%$

6.3.5 内置低频振荡电路，可外接 32.768kHz 低频振荡器 (LXT)

外接低频晶振时钟 LXT 可通过对寄存器 RCC_CFG0 的 LXTEN 位置 1 开启，或清 0 关闭；且用户需要先对 RCC 保护寄存器 RCC_KEY 写入一个大于 0x40 的值后才能对 RCC_CFG0 和 RCC_CFG1 进行改写。

LXT 有以下功能及特性：

- 可作为系统运行时钟
- 可作为 Base Timer 时钟源
- 可作为 LCD/LED 模块的时钟源
- 可外接 32.768kHz 低频振荡器
- 可通过 LXT 对 HIRC 进行自动校准

6.4 寄存器访问时钟和外设时钟源

6.4.1 寄存器访问时钟

寄存器访问时钟是驱动 Cortex[®]-M0+内核及内部总线操作的时钟信号，该信号直接驱动指令执行流水线、寄存器组访问以及内核与总线之间的数据传输。

寄存器访问时钟与 AHB (Advanced High-performance Bus) 和 APB (Advanced Peripheral Bus) 总线时钟保持严格同步，确保 CPU 核心操作与外设接口在统一时序框架下协同工作。用户需通过 AHB 总线外设时钟使能寄存器 (AHB_CFG) 或 APB 总线外设时钟使能寄存器 (APBn_CFG, n=0~2) 进行总线时钟使能和外设时钟门控操作。仅当对应外设的总线和寄存器访问时钟位均被使能 (Enable) 时，方可进行该外设寄存器的读写操作，否则将触发硬件保护机制导致访问无效。

6.4.2 外设时钟源

外设时钟源是为特定外设模块 (如 PWM、UART、ADC 等) 提供独立工作节拍的时钟信号源。它可以是系统时钟的分频/倍频产物，也可以是独立的内置或外部时钟源 (如内部 RC 振荡器、外部晶振等)。外设时钟源的存在使得不同外设可根据自身需求选择最优的时钟频率和稳定性。用户也可通过单独关闭未使用外设的时钟以降低功耗。

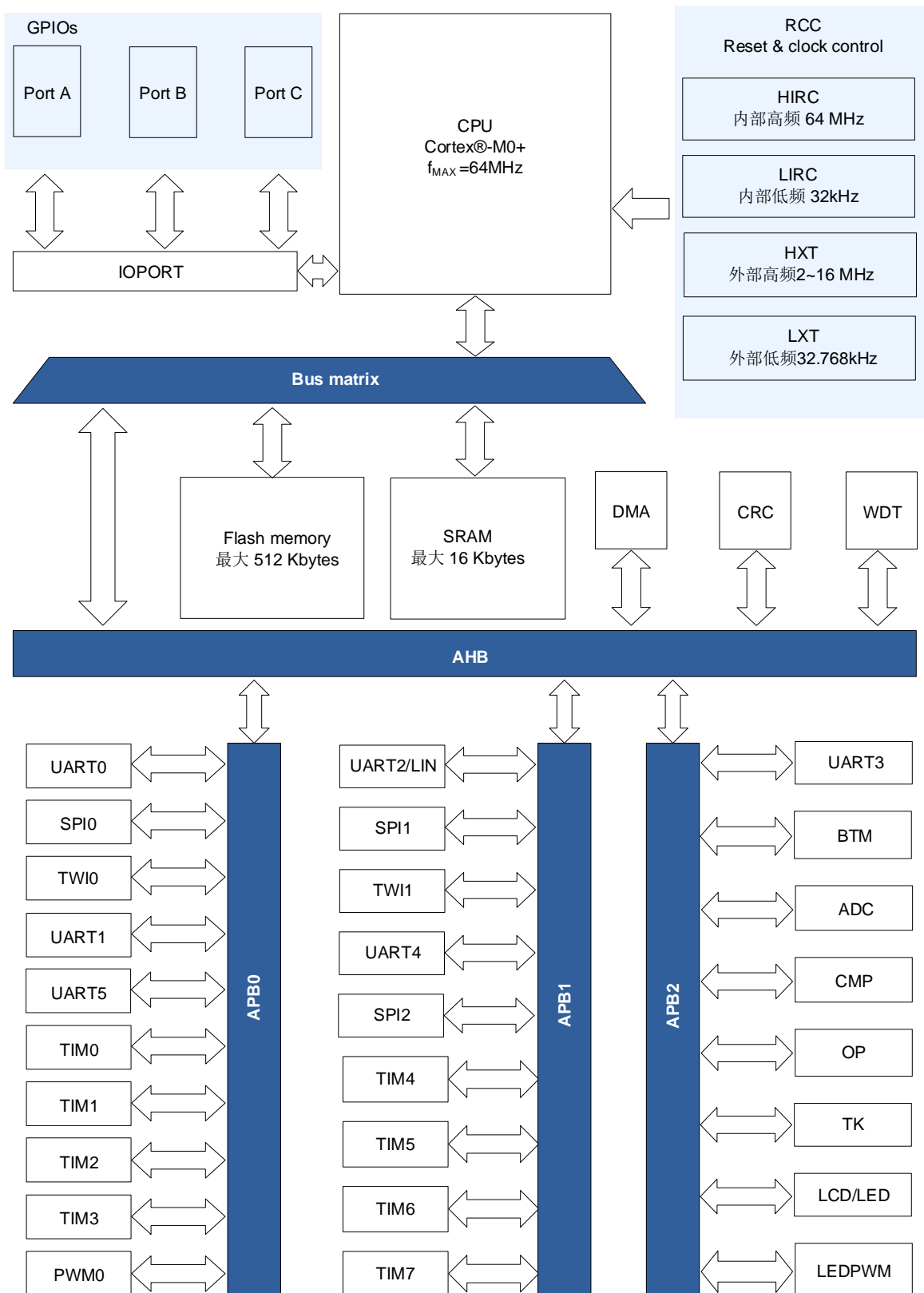
SC32F12T/12G 的部分外设提供了多种可选的时钟源，用户可通过外设时钟源选择寄存器 (RCC_CFGn, n=0~1) 为外设选择适合的时钟源。

6.4.3 总线时钟

用户可通过多个预分频器配置 IOPORT、AHB、APB0、APB1、APB2 域的频率。

- IOPORT: GPIO 端口域主时钟，由系统时钟 SYSCLK 分频得到，最大频率是 64MHz，所有 GPIO 都由 IOPORT 驱动。
- HCLK: AHB 域主时钟，由系统时钟 SYSCLK 分频得到，默认为系统时钟二分频，可通过 AHB_CFG 寄存器中的 CLKDIV[2:0]修改分频档位，最大频率是 64MHz，包括 Cortex[®]-M0+内核、内存、DMA 等都由 HCLK 驱动。
- PCLK0: APB0 域主时钟，由 HCLK 分频得到，最大频率是 HCLK 的频率，APB0 总线上的外设寄存器访问时钟都由 PCLK0 驱动，总线上的部分外设时钟源由 PCLK0 提供；
- PCLK1: APB1 域主时钟，由 HCLK 分频得到，最大频率是 HCLK 的频率，APB1 总线上的外设寄存器访问时钟都由 PCLK1 驱动，总线上的部分外设时钟源由 PCLK1 提供；
- PCLK2: APB2 域主时钟，由 HCLK 分频得到，最大频率是 HCLK 的频率，APB2 总线上的外设寄存器访问时钟都由 PCLK2 驱动，总线上的部分外设时钟源由 PCLK2 提供；

总线架构图如下图所示，外设寄存器读取频率取决于挂载该外设的总线频率。



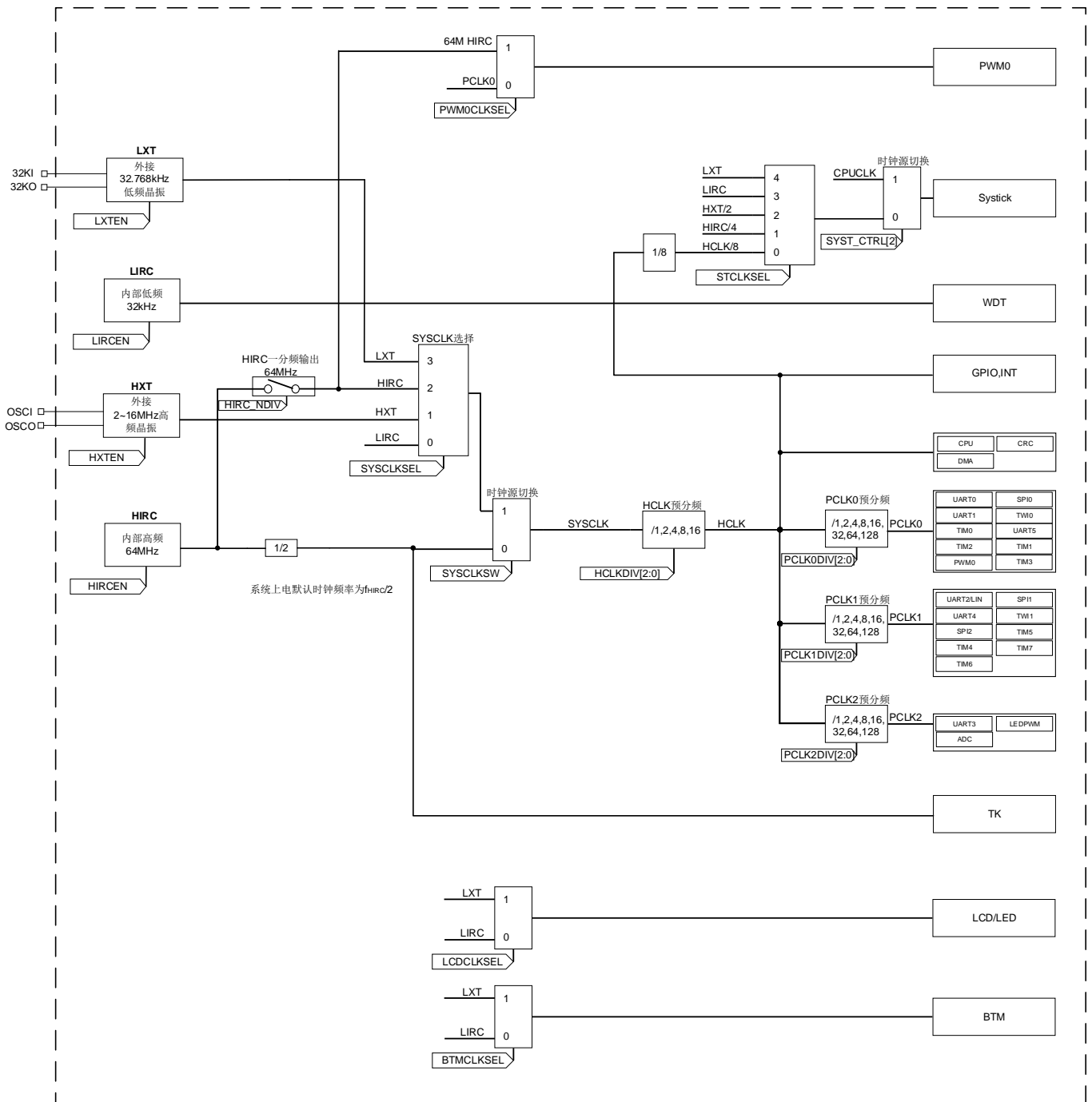
总线结构框图

6.4.4 外设时钟

总线搭载的外设时钟一般由其对应的总线时钟提供，但以下外设可由其他时钟源提供时钟：

- TK 以 HIRC 经过 2 分频后频率作为 TK 时钟频率
- PWM0 有以下时钟源可供选择：
 - PCLK0，为 PWM0 所在总线上的时钟
 - 64M HIRC，为 HIRC 1 分频时钟
- LCD 有以下时钟源可供选择：
 - LIRC，为内部低频时钟
 - LXT，为外接低频晶振时钟
- BTM 有以下时钟源可选：
 - LIRC，为内部低频时钟
 - LXT，为外接低频晶振时钟
- WDT 时钟源固定为 LIRC，当 WDT 使能后，LIRC 会自动开启，WDT 工作的过程中 LIRC 始终保持振荡，用户无法关闭。
- SysTick 有以下时钟源可选：
 - LXT，为外接低频晶振时钟
 - LIRC，为内部低频时钟
 - HXT/2，为外接高频晶振时钟 2 分频后的时钟
 - HIRC/4，为内部高频时钟 4 分频后的时钟
 - HCLK/8，为 AHB 总线上的时钟 8 分频后的时钟
 - CPUCLK，为内核时钟

6.4.5 外设时钟框图



注意：系统上电后，默认的时钟频率 f_{SYS} 为 $f_{HIRC}/2$ ，用户可通过修改寄存器位 **SYSCLKSW** 与 **SYSCLKSEL** 选择所需的时钟源。

6.4.6 外设时钟使能寄存器

每个外设时钟都可通过 **AHB_CFG** 和 **APBn_CFG** 寄存器的相应使能位使能，当外设时钟未激活时，不支持外设寄存器进行读写访问。

6.4.7 低功耗模式时钟

在低功耗 STOP 模式下，CPU 时钟及大部分时钟源和外设时钟都会停止，且程序停止运行。但以下时钟源在低功耗模式下仍能正常工作：

- 内建低频时钟 LIRC
- 外接低频振荡器时钟 LXT

7 中断

- M0+内核最多提供 32 个中断源，中断号为 0~31，SC32F12T/12G 系列共 25 个中断源
- 四级中断优先级可设，中断优先级通过内核寄存器组 Interrupt priority registers 设置

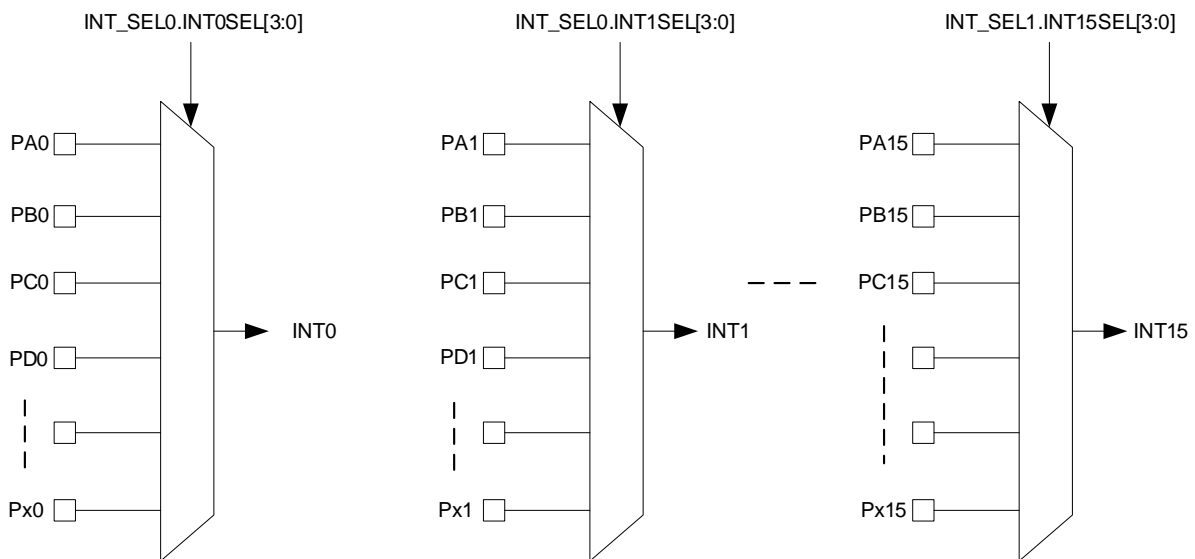
7.1 外部中断 INT0~15

外部中断有 16 个中断源，共占用 4 个中断向量，这 16 个外部中断源，全部可设上升沿、下降沿、双沿中断，经设置后可覆盖到所有的 GPIO 管脚，软件置起相应中断标志位（RIF/FIF 置 1），可触发进入相应的中断。

SC32F12T/12G 系列外部中断特性如下：

- 16 个 INT 中断源，共占用 4 个中断向量
- INT 经切换设置后可覆盖到所有的 GPIO 管脚
- 全部可设上升沿、下降沿、双沿中断，且均有独立对应中断标志位
- 软件置起相应中断标志位，可触发进入相应的中断

注意：切换 INT 功能时，用户需手动将 INTn（n=0~15）所在的 GPIO 端口设置为输入带上拉状态，端口输出状态下检测不到外部中断。



7.2 中断与事件

- NVIC 关闭，中断请求屏蔽位开启，可产生事件，不产生中断
- NVIC 开启后，中断请求屏蔽位做模块内的总中断开关

7.3 中断向量表

中断向量号	中断号	优先级	中断向量地址	中断源	内核/NVIC 使能位	中断请求屏蔽位	中断子开关	中断标志位	唤醒 stop
0	-	-	0x0000_0000	-		-	\	\	能

中断向量号	中断号	优先级	中断向量地址	中断源	内核/NVIC 使能位	中断请求屏蔽位	中断子开关	中断标志位	唤醒 stop
1	-	固定	0x0000_0004	RESET	PRIMASK	SCB	\	\	能
2	-	固定	0x0000_0008	NMI_Handler		SCB	\	\	能
3	-	固定	0x0000_000C	HardFault_Handler	PRIMASK	SCB	\	\	能
4~10	-	-	0x0000_0010 - 0x0000_0028	-		-	\	\	能
11	-	可设		SVC_Handler	PRIMASK	SCB	\	\	能
12~13	-	-	0x0000_0030 0x0000_0034	-		-	\	\	能
14	-	可设	0x0000_0038	PendSV_Handler	PRIMASK	SCB	\	\	能
15	-	可设	0x0000_003C	SysTick_Handler	PRIMASK	SysTick_CTRL	\	\	不能
16	0	可设	0x0000_0040	INT0	NVIC->ISER[0].0	INTF_IE->ENF _x , x=0 INTR_IE->ENR _x	\	INTF_STS->FIF _x INTR_STS->RIF _x	能
17	1	可设	0x0000_0044	INT1-7	NVIC->ISER[0].1	INTF_IE->ENF _x , x=1~7 INTR_IE->ENR _x	\	INTF_STS->FIF _x INTR_STS->RIF _x	能
18	2	可设	0x0000_0048	INT8-11	NVIC->ISER[0].2	INTF_IE->ENF _x , x=8~11 INTR_IE->ENR _x	\	INTF_STS->FIF _x INTR_STS->RIF _x	能
19	3	可设	0x0000_004C	INT12-15	NVIC->ISER[0].3	INTF_IE->ENF _x , x=12~15 INTR_IE->ENR _x	\	INTF_STS->FIF _x INTR_STS->RIF _x	能
20	4	可设	0x0000_0050	RCC 停振检测	NVIC->ISER[0].4	RCC_CFG->INTEN	\	RCC_STS->CLKFIF	不能
21	5	预留	0x0000_0054	\	NVIC->ISER[0].5	\	\	\	
22	6	可设	0x0000_0058	BTM	NVIC->ISER[0].6	BTM_CON->INTEN	\	BTM_STS->BTMIF	能
23	7	可设	0x0000_005C	UART0	NVIC->ISER[0].7	UART0_IDE->INTEN	UART0_IDE->TXIE UART0_IDE->RXIE	UART0_STS->TXIF UART0_STS->RXIF	能
				UART2/LIN	\	UART2_IDE->INTEN	UART2_IDE->TXIE UART2_IDE->RXIE UART2_IDE->BKIE UART2_IDE->SLVHEIE	UART2_STS->TXIF UART2_STS->RXIF UART2_STS->BKIF UART2_STS->SLVHEIF	不能
				UART4	\	UART4_IDE->INTEN	UART4_IDE->TXIE UART4_IDE->RXIE	UART4_STS->TXIF UART4_STS->RXIF	能
24	8	可设	0x0000_0060	UART1	NVIC->ISER[0].8	UART1_IDE->INTEN	UART1_IDE->TXIE UART1_IDE->RXIE	UART1_STS->TXIF UART1_STS->RXIF	能
				UART3	\	UART3_IDE->INTEN	UART3_IDE->TXIE UART3_IDE->RXIE	UART3_STS->TXIF UART3_STS->RXIF	能
				UART5	\	UART5_IDE->INTEN	UART5_IDE->TXIE UART5_IDE->RXIE	UART5_STS->TXIF UART5_STS->RXIF	能
25	9	可设	0x0000_0064	SPI0	NVIC->ISER[0].9	SPI0_IDE->INTEN	SPI0_IDE->RXNEIE SPI0_IDE->TBIE SPI0_IDE->RXIE SPI0_IDE->RXHIE SPI0_IDE->TXHIE	SPI0_STS->SPIF SPI0_STS->RXNEIF SPI0_STS->TXEIF SPI0_STS->RXHIF SPI0_STS->RXHIF SPI0_STS->TXHIF	不能
26	10	可设	0x0000_0068	SPI1	NVIC->ISER[0].10	SPI1_IDE->INTEN	\	SPI1_STS->SPIF SPI1_STS->TXEIF	不能
				SPI2		SPI2_IDE->INTEN		SPI2_STS->SPIF SPI2_STS->TXEIF	不能
27	11	可设	0x0000_006C	DMA0	NVIC->ISER[0].11	DMA0_CFG->INTEN	DMA0_CFG->TCIE DMA0_CFG->HTIE DMA0_CFG->TEIE	DMA0_STS->GIF DMA0_STS->TCIF DMA0_STS->HTIF DMA0_STS->TEIF	不能
28	12	可设	0x0000_0070	DMA1	NVIC->ISER[0].12	DMA1_CFG->INTEN	DMA1_CFG->TCIE DMA1_CFG->HTIE DMA1_CFG->TEIE	DMA1_STS->GIF DMA1_STS->TCIF DMA1_STS->HTIF DMA1_STS->TEIF	不能
29	13	预留	0x0000_0074	\	NVIC->ISER[0].13	\	\	\	
30	14	预留	0x0000_0078	\	NVIC->ISER[0].14	\	\	\	
31	15	可设	0x0000_007C	TIM0	NVIC->ISER[0].15	TIM0_IDE->INTEN	TIM0_IDE->TIE TIM0_IDE->EXFIE TIM0_IDE->EXRIE	TIM0_STS->TIF TIM0_STS->EXFIF TIM0_STS->EXIR	不能
32	16	可设	0x0000_0080	TIM1	NVIC->ISER[0].16	TIM1_IDE->INTEN	TIM1_IDE->TIE TIM1_IDE->EXFIE TIM1_IDE->EXRIE	TIM1_STS->TIF TIM1_STS->EXFIF TIM1_STS->EXIR	不能
33	17	可设	0x0000_0084	TIM2	NVIC->ISER[0].17	TIM2_IDE->INTEN	TIM2_IDE->TIE TIM2_IDE->EXFIE TIM2_IDE->EXRIE	TIM2_STS->TIF TIM2_STS->EXFIF TIM2_STS->EXIR	不能

中断向量号	中断号	优先级	中断向量地址	中断源	内核/NVIC 使能位	中断请求屏蔽位	中断子开关	中断标志位	唤醒 stop
34	18	可设	0x0000_0088	TIM3	NVIC->ISER[0].18	TIM3_IDE->INTEN	TIM3_IDE->TIE TIM3_IDE->EXFIE TIM3_IDE->EXRIE	TIM3_STS->TIF TIM3_STS->EXIF TIM3_STS->EXIR	不能
35	19	可设	0x0000_008C	TIM4	NVIC->ISER[0].19	TIM4_IDE->INTEN	TIM4_IDE->TIE TIM4_IDE->EXFIE TIM4_IDE->EXRIE	TIM4_STS->TIF TIM4_STS->EXIF TIM4_STS->EXIR	不能
				TIM5	\	TIM5_IDE->INTEN	TIM5_IDE->TIE TIM5_IDE->EXFIE TIM5_IDE->EXRIE	TIM5_STS->TIF TIM5_STS->EXIF TIM5_STS->EXIR	不能
36	20	可设	0x0000_0090	TIM6	NVIC->ISER[0].20	TIM6_IDE->INTEN	TIM6_IDE->TIE TIM6_IDE->EXFIE TIM6_IDE->EXRIE	TIM6_STS->TIF TIM6_STS->EXIF TIM6_STS->EXIR	不能
				TIM7	\	TIM7_IDE->INTEN	TIM7_IDE->TIE TIM7_IDE->EXFIE TIM7_IDE->EXRIE	TIM7_STS->TIF TIM7_STS->EXIF TIM7_STS->EXIR	不能
37	21	可设	0x0000_0094	PWM0	NVIC->ISER[0].21	PWM0_CON->INTEN	\	PWM0_STS->PWMIF	不能
38	22	可设	0x0000_0098	LEDPWM	NVIC->ISER[0].22	LEDPWM_CON->INTEN	\	LEDPWM_STS->PWMIF	不能
39	23	可设	0x0000_009C	TWI0	NVIC->ISER[0].23	TWI0_IDE->INTEN	\	TWI0_STS->TWIF	不能
40	24	可设	0x0000_00A0	TWI1	NVIC->ISER[0].24	TWI1_IDE->INTEN	\	TWI1_STS->TWIF	不能
41	25	预留	0x0000_00A4	\	\	\	\	\	
42	26	预留	0x0000_00A8	\	\	\	\	\	
43	27	预留	0x0000_00AC	\	\	\	\	\	
44	28	预留	0x0000_00B0	\	\	\	\	\	
45	29	可设	0x0000_00B4	ADC	NVIC->ISER[0].29	ADC_CON->INTEN	\	ADC_STS->ADCIF	不能
46	30	可设	0x0000_00B8	CMP	NVIC->ISER[0].30	CMPCFG->CMPIM[1:0]	\	CMP_STS->CMPIF	能
47	31	可设	0x0000_00BC	TK	NVIC->ISER[0].31	TKCON->INTEN	\	TKCON->TKIF	能

8 省电模式

初始上电默认运行在常规模式，即 Normal Mode，额外提供三种省电模式：

- 低速模式：系统时钟源可选择 LIRC，CPU 可工作在 32kHz
- IDLE Mode，可由任何中断唤醒
- STOP Mode，可由 INT0~15、Base Timer、TK 和 CMP 唤醒

9 GPIO

9.1 时钟源

M0+内核可通过 IOPORT 总线实现单周期访问 GPIO，数据传输效率极高。IOPORT 总线的时钟来自 HCLK。

9.2 特性

SC32F12T/12G 系列 GPIO 端口特性如下：

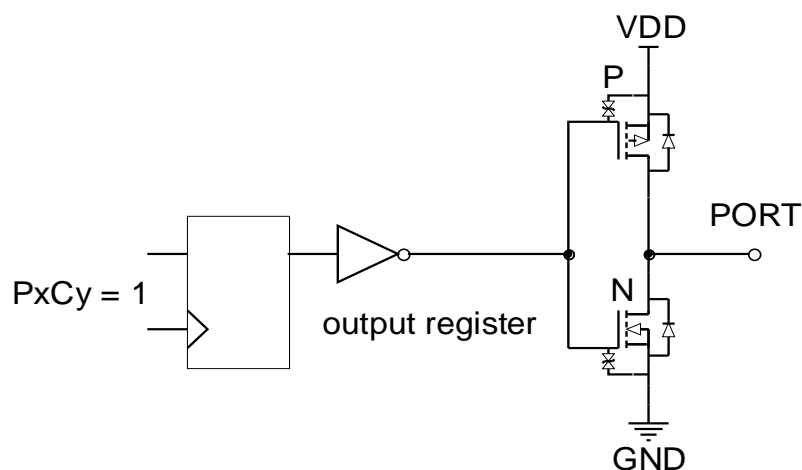
- 最大 45 个双向可独立控制的 GPIO
- CPU 可在单周期内通过 IOPORT 总线访问 GPIO 端口
- 可独立设定上拉电阻
- 所有口源驱动能力分四级控制
- 全部 GPIO 具有大灌电流驱动能力（50mA）
- 16 个 GPIO 一组
- I/O 端口在输入或输出状态下，从端口数据寄存器里读到的都是端口的实际状态值

注意：未使用及封装未引出的端口均要设置为强推挽输出模式。

9.3 GPIO 结构图

9.3.1 强推挽输出模式

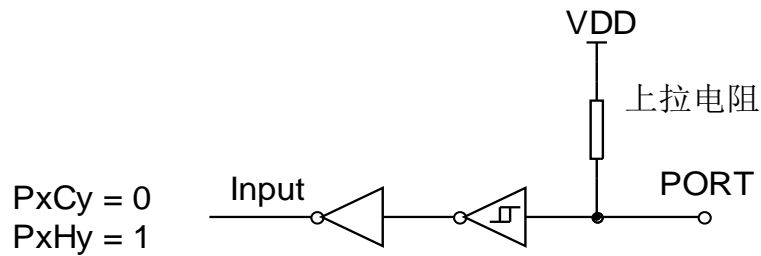
强推挽输出模式下，能够提供持续的大电流驱动：相关电气参数详见 [《GPIO 参数》](#) 章节。



强推挽输出模式的端口结构示意图

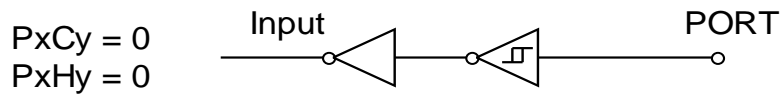
9.3.2 带上拉的输入模式

带上拉的输入模式下，输入口上恒定接一个上拉电阻，仅当输入口上电平被拉低时，才会检测到低电平信号。



带上拉输入模式的端口结构示意图

9.3.3 高阻输入模式 (Input only)



高阻输入模式的端口结构示意图

10 模数转换器 ADC

10.1 时钟源

- SC32F12T/12G 系列的 ADC 的时钟源仅一种，来自 PCLK2
- ADC 的转换时间约为 950ns

10.2 特性

- 精度：14 位
- 最多支持 18 路通道：
 - 外部 16 路 ADC 采样通道和 IO 口的其它功能复用
 - 内部一路 ADC 可直接测量 VDD 电压
 - 内部一路 ADC 可直接测量 OP 输出
- 内建 2.4V、2.048V 和 1.024V 三种基准电压
- ADC 的参考电压有 4 种选择：VDD、2.4V、2.048V、1.024V
- 内部一路 ADC 可直接测量 VDD 电压
- ADC 输入通道选择
 - 可通过设置 ADCIS[4:0]位，选择 ADC 输入通道
- 可通过软件启动转换过程
- 可设 ADC 转换完成中断
- 采样到完成转换的总时间低至 2 μ s
- 支持 DMA 传输：ADC 转换完成可产生 DMA 请求
- 支持单通道连续转换模式
- ADC 转换结果支持溢出标志提醒，且 OVERRUN 标志位与 ADC 转换结果在同一寄存器 ADCV，用户可一次性读取

10.3 ADC 转换步骤

用户实际进行 ADC 转换所需要的操作步骤如下：

- ① 设定 ADC 输入管脚：（设定 AINx 对应的位为 ADC 输入，通常 ADC 管脚会预先固定）；
- ② 设定 ADC 参考电压 Vref，设定 ADC 转换所用的频率；
- ③ ADCEN 写 1，开启 ADC 模块电源；
- ④ 选择 ADC 输入通道：（设置 ADCIS 位，选择 ADC 输入通道）；
- ⑤ 启动 ADCS，转换开始；
- ⑥ 等待 ADCIF=1，如果 ADC 中断使能，则 ADC 中断会产生，用户需要软件清 0 ADCIF 标志；
- ⑦ 从 ADCV 获得 14 位数据，一次转换完成；
- ⑧ 如不更换输入通道，可通过软件将 CONT 置 1，设定单通道连续转换模式。转换将持续进行，直到该位清 0。
- ⑨ ADC 转换结果溢出时，OVERRUN 标志位置 1。
- ⑩ 可通过 DMA 传输转换数据。

注意：在设定 ADC_CON[8]（INTEN）前，使用者最好用软件先清除 ADCIF，并且在 ADC 中断服务程序执

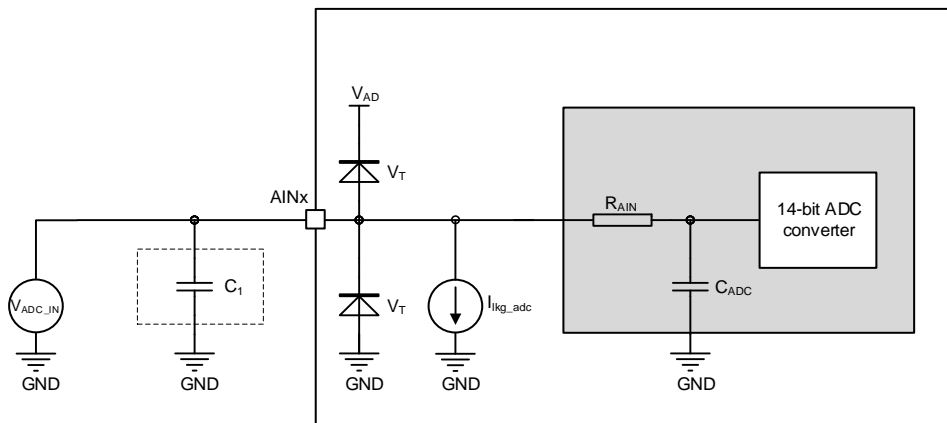
行完时，也清除该 ADCIF，以避免不断的产生 ADC 中断。

10.4 ADC 中断

SC32F12T/12G 系列的 ADC 在转换完成后，ADCIF 将置起，如果 ADC_CON.INTEN=1，将产生中断。

中断事件	事件标志位	中断使能控制位
ADC 转换完成中断请求	ADCIF	ADC_CON->INTEN

10.5 ADC 连接电路图



说明：

- C_1 为外接 $0.01\mu F$ 电容，建议用户增加此电容以提升 ADC 性能；
- ADC 相关电气参数详见章节 [26.10 ADC 电气特性](#)。

11 运放及可编程增益放大器（OP）

内建一个运放及可编程增益放大器 OP，提供轨到轨运放，且 OP 可配置为 PGA 模式，有 5 个同相输入端，2 个反相输入端以及 3 个输出端，并可提供 8/16/32/64 同相增益，7/15/31/63 倍反相增益。

11.1 特性

- 一个 Rail-to-rail 的运放
- 可配置为 PGA 模式
 - 同相输入增益：8/16/32/64
 - 反相输入增益：7/15/31/63
- 同相输入端引出两个外部引脚：OP_P0 或 OP_P1
- 反相输入端引出一个外部引脚：OP_N
- 输出端引出一个外部引脚：OP_O
- 输出端可直接接入 ADC 输入
- 输出端可直接接入 CMP 正端
- 可通过设置 PGA 输入端 offset 调整控制位 PGOFC=1，将 OP 模块的同相端与反相端输入短接来实现精度调整

11.2 OP 端口选择

11.2.1 OP 同相端输入选择

OP 模块的同相端输入有五种：OP_P0 外部引脚、OP_P1 外部引脚、内部 VSS、内部 1.2V 基准和 V_{DD}，可通过 OPPSEL[2:0] 切换选择。

11.2.2 OP 反相端输入选择

OP 模块的反相端输入有两种：OP_N 外部引脚和内部反馈电阻。

- 选择 OP_N 外部引脚为 OP 的反相端输入时，需设置 OP 输入控制位 OPNSEL=0，反馈电阻端连接选择位 FDBRSEL[1:0]=01。
- 选择内部反馈电阻为 OP 的反相端输入时，需设置 OPNSEL=1，FDBRSEL[1:0]=00 或 11 或 10，并通过内部增益档位选择位 PGAGAN[1:0] 进行内部增益档位选择。

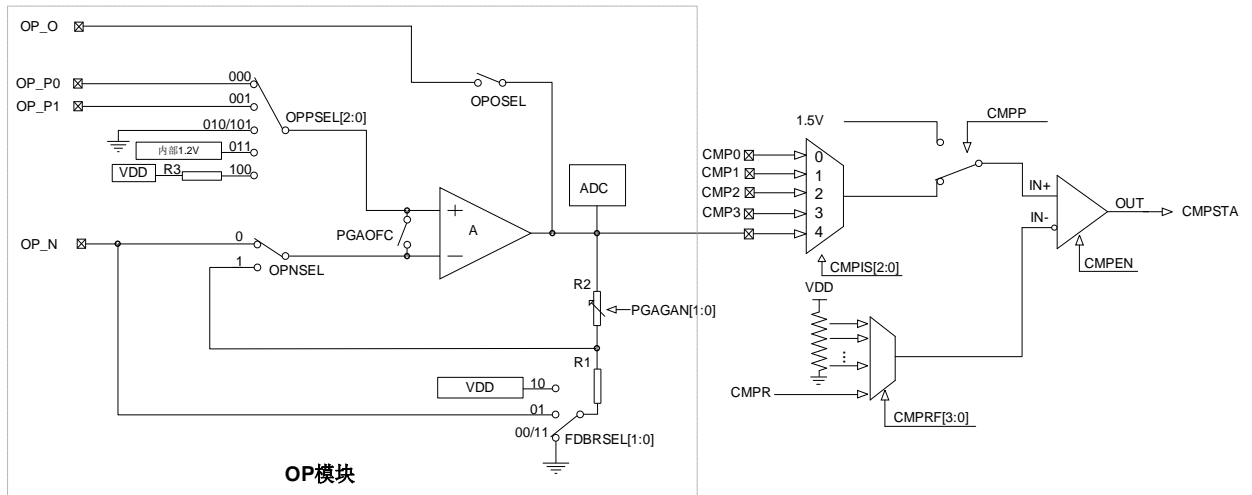
11.2.3 OP 输出选择

OP 模块的输出有三种：有 3 个输出端：AD 转换器的采样通道、CMP 正端输入和 OP_O 引脚。

OP 输出用于 AD 转换器的模拟输入或者 CMP0 正端的模拟输入时，具体设置方式如下：

- OP 作为 ADC 输入时，需要先设置 ENOP=1，使能 OP 模块，再设置 ADCEN=1，开启 ADC 电源，通过 ADCIS[4:0] 选择 OP 输出端为 ADC 输入端，则 OP 的转换结果可直接在 ADCV 寄存器获取。
- OP 作为 CMP 正端输入时，当 OP 使能时，如果 CMP 的输入通道控制位 CMPIS[2:0] 设置为 OP，则选用 OP 输出为 CMP 的正端输入。

11.3 OP 电路结构框图



12 模拟比较器 CMP

SC32F12T/12G 系列内建一个模拟比较器（CMP），CMP 中断可唤醒 STOP Mode。可用于报警器电路、电源电压监测电路、过零检测电路等。

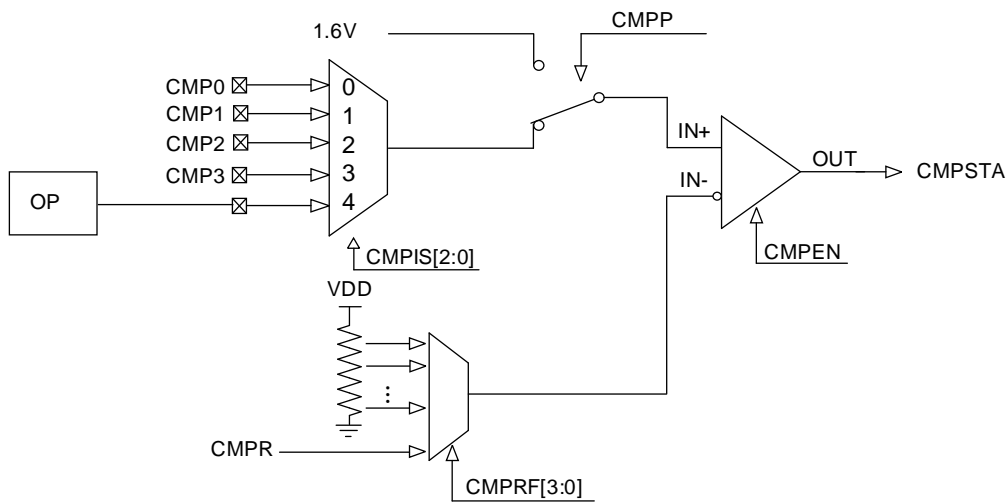
此比较器具有五个模拟信号正输入端：CMP0~3 以及 OP 输出端，可通过 CMPIS [2:0]切换选择。负输入端电压可通过 CMPRF[3:0]切换为 CMPR 引脚上的外部电压或内部的 15 档比较电压中的一种。

通过 CMPIM[1:0]可以方便的设定比较器的中断模式，当 CMPIM[1:0]所设定的中断条件发生时比较器中断标志 CMPIF 会被置 1，该中断标志需要软件清除。

12.1 特性

- 正端输入信号五种可选：
 - 四个模拟信号正输入端 CMP0~CMP3
 - OP 输出端
- 负端输入电压可选择 CMPR 引脚或内部 VDD 分压的 15 档比较电压中的一种
- CMP 中断可唤醒 STOP Mode

12.2 模拟比较器结构框图



模拟比较器结构框图

13 UART0~5

13.1 时钟源

- SC32F12T/12G 系列所有 UART 的时钟源仅一种，来自 PCLK

13.2 特性

- 六个 UART：UART0~5
- UART2 具有完整的 LIN 接口：
 - 主从模式可切换
 - 支持主机模式下硬件 break 发送（10/13bits）
 - 支持从机模式下硬件 break 检测（10/11bits）
 - 支持从机模式下波特率同步
 - 提供相关中断/状态位/标志位/容错范围
- UART0~5 均支持信号口映射，均可以映射到另外一组 IO
- 四种通讯模式可选：
- SM0~1 串行通信模式控制位
 - 模式 0，8 位半双工同步通信模式，在 RXD 引脚上收发串行数据。TXD 引脚用作发送移位时钟。每帧收发 8 位，低位先接收或发送；
 - 模式 1，10 位全双工异步通信，由 1 个起始位，8 个数据位和 1 个停止位组成，通信波特率可变；
 - 模式 2，保留；
 - 模式 3，11 位全双工异步通信，由 1 个起始位，8 个数据位，一个可编程的第 9 位和 1 个停止位组成，通信波特率可变。
- 发送和接收完成可产生中断并置起对应的标志位 TXIF 和 RXIF，中断标志需要软件清除
- UART0 和 UART1 可产生 DMA 请求
- UART2~5 不能产生 DMA 请求
- 独立波特率发生器
- UART2 不支持从 STOP Mode 唤醒
- UART0/1/3/4/5 支持从 STOP Mode 唤醒：
 - START 位下降沿可唤醒 STOP Mode
 - 提供对应的唤醒中断使能位 WKIE 及唤醒中断标志位 WKIF

注意：UART1 的信号引脚支持两种映射方案：

- 映射 1：RXD1 / TXD1
- 映射 2：RXD1A / TXD1A

当选择映射 1（RXD1/TXD1）时，该组引脚与系统烧录/调试接口（T_CLK / T_DIO）复用。在此映射下，若启用全双工通信，T_CLK / T_DIO 可能会与 UART1 的 RXD1 接收时序产生冲突，导致通信异常。因此，选择映射 1 时必须将 UART1 配置为半双工通信模式，以避免此硬件冲突并保证通信稳定性。

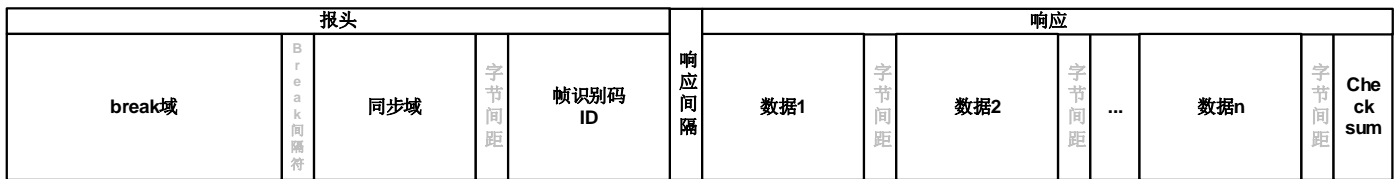
如需使用全双工 UART 通信，请将管脚映射至映射 2（RXD1A/TXD1A）。

13.3 UART2-LIN

UART2 支持标准的 LIN 通信协议

13.3.1 LIN 帧结构

根据 LIN 协议，所有的传输信息被打包为帧。一个帧由一个报头（主机任务提供）和一个紧跟其后的应答（从机任务提供）组成。报头（主机任务提供）由一个 break 域和一个 sync（同步）域再跟一个帧识别码（frame ID）组成。帧 ID 仅作为定义帧的用途。从机任务负责回应相关的帧 ID。响应由一个数据域和一个校验域组成。



LIN 帧结构图

13.3.2 LIN 主机模式

通过设置 FUNCSEL=1，SLVEN=0，UART 控制器支持 LIN 主机模式。在 LIN 模式，根据 LIN 的标准，每个字节由值为 0（显性）的 START 位开始，接着是 8 位数据位，没有校验位，LSB 优先，由一个值为 1（隐性）的 STOP 位结束。

使能并初始化 LIN 主机模式需要如下步骤：

- ① 设置 UART_BAUD 寄存器设定波特率；
- ② 设置 FUNCSEL=1，选择 LIN 功能模式；
- ③ 设置 SM[1:0]=01 配置 UART 为模式 1。

一个完整的报头由一个 break 域和同步域再跟一个帧标识符（帧 ID）组成。UART 控制器可以选择“break 域”作为发送的报头。“同步域”和“帧 ID 域”需要用户通过软件写入，即：发送一个完整的报头到总线，软件必须依次填同步数据（0x55）和帧 ID 数据到 UART_DAT 寄存器。

13.3.3 LIN 从机模式

通过设置 FUNCSEL=1，SLVEN=1，UART 控制器支持 LIN 从机模式。在 LIN 模式，根据 LIN 的标准，每一个字节域都是由一个值为 0 的显性位开始的，跟着 8 个数据位，没有校验位，最低位在前，由一个值为 1 的隐性 STOP 位结束。

LIN 从机模式初始化的流程如下：

- ① 设置 UART_BAUD 寄存器设定波特率；
- ② 设置 FUNCSEL=1，选择 LIN 功能模式；
- ③ 设定 SM[1:0]=1 配置 UART 为模式 1；
- ④ 设定 SLVEN=1，使能 LIN 从机模式。

LIN 从模式下，通过设定 LBDL 使能从机 break 域检测功能来侦测接收“break 域”。接收到一个 break 后，BKIF 标志将被置位。如果 BKIE =1 中断将发生。为了避免比特率偏差，控制器支持自动重同步功能，避免时钟误差错误，通过设定 SLVAREN 使能该特性。

13.3.4 同步域误差错误

自动重新同步模式下，控制器将检测同步域的误差错误。误差错误检测比较当前波特率和接收到的同步域的波特率。两个检测被同步执行。

检查 1：根据同步域的第一个下降沿和最后一个下降沿的测量值

- 如果误差大于 15%，报头错误标志 SLVHEIF 将被置位
- 如果误差在 14%和 15%之间，报头错误标志 SLVHEIF 可能被置位也可能没有被置位（取决于数据失相）

检查 2：根据同步域的每一个下降沿的测量值

- 如果误差大于 19%，报头错误标志 SLVHEF 将被置位
- 如果误差在 15%和 19%之间，报头错误标志 SLVHEIF 可能被置位也可能没有被置位（取决于数据失相）

注：误差检测基于当前波特率时钟。因而，为了保证误差检测的正确性，建议用户在新的 **break** 域收到之前，通过软件将波特率重新加载为初始值

14 SPI0~2

14.1 时钟源

- SC32F12T/12G 系列的 SPI 的时钟源仅一种，来自 PCLK

14.2 SPI0 特性

- 支持 11 档 SPI 时钟预分频
- 信号口共 3 组 IO 映射可选
- SPI0 信号口强驱动：
 - SPI 通信模式下相应的信号口所对应管脚输出驱动能力增强，其它模式下跟普通 IO 特性一致。
 - 其映射信号口也可以变成强驱动，以保证 SPI0 在任意端口上的一致性
- 具有 16 位 8 级 FIFO 缓存，发送接收独立
 - SPI0 的 FIFO 功能可以实现：连续向 SPI 发送缓存（SPI0_DATA）写入 8 个或 8 个以内的 8 位或 16 位发送数据，SPI 发送的时候，最先写入的数据也最先被发送。当用户写入 FIFO 的数据被发送完成，发送 FIFO 为空标志 TXEIF 置 1；若 FIFO 的数据已满，则写入冲突标志位 WCOL 置位，用户无法向 FIFO 写入数据，直至 FIFO 内的数据被发送出去、FIFO 不满，用户才能写入数据。当 FIFO 内的数据全部发送完毕才置起中断标志 SPIF。
 - 连续从 SPI 接收缓存（SPI0_DATA）读取 8 个或 8 个以内的 8 位或 16 位接收数据，最先接收到的数据也最先被读取到。
 - FIFO 数据传输一半中断及对应标志位，方便用户及时读取/写入数据：
 - ◆ 提供发送 FIFO 有效数据不满一半中断及对应标志位 TXHIF
 - ◆ 提供接收 FIFO 超一半中断及对应标志位标志 RXHIF
 - 支持接收缓存溢出中断及对应标志位，及时通知异常
- 支持 DMA
 - 使能 TXDMAEN，发送缓存器空标志位 TXEIF 置起后可触发 DMA 请求
 - 使能 RXDMAEN，接收缓冲区非空标志位 RXNEIF 置起后可触发 DMA 请求

14.3 SPI1/2 特性

- 支持 11 档 SPI 时钟预分频
- SPI1 信号口共 3 组 IO 映射可选
- SPI2 信号口共 4 组 IO 映射可选
- 无 FIFO
- 支持 DMA
 - SPI1 可产生 DMA 请求
 - SPI2 不能产生 DMA 请求

14.4 SPI0 和 SPI1/2 对比

对比 BIT 位	SPI0	SPI1/2
信号口强驱动	有	无
WCOL	当发送 FIFO 写满后，对 FIFO 进行写操作将无法写入，WCOL 也会置起，代表缓存写入冲突	当一帧正在发送，对发送缓存进行写操作将无法写入，WCOL 也会置起，代表缓存写入冲突
SPIF	该位置起，代表一帧数据接收/发送完成	该位置起，代表一帧数据接收/发送完成
RXHIE	接收 FIFO 内有效数据超过一半中断使能位	无
TXHIE	发送 FIFO 内有效数据不满一半中断使能位	无
RXIE	接收 FIFO 已满中断使能位	无
TBIE	发送 FIFO 为空中断使能位	发送缓存为空时中断使能位
RXNEIE	接收 FIFO 非空中断使能位	无
RXHIF	该位置起，代表接收 FIFO 内有效数据超过一半	无
TXHIF	该位置起，代表发送 FIFO 内有效数据不满一半	无
RXFIF	该位置起，代表接收 FIFO 已满	无
TXEIF	该位置起，代表发送 FIFO 为空	该位置起，代表发送缓存为空
RXNEIF	接收 FIFO 非空标志位	无
DMA	通过发送缓存器空标志位 TXEIF 和接收缓冲区非空状态位 RXNEIF 触发 DMA 请求	SPI1: 一帧结束统一置位请求 SPI2: 不支持 DMA

15 TWI0~1

15.1 时钟源

- SC32F12T/12G 系列的 TWI 的时钟源仅一种，来自 PCLK

15.2 特性

- 支持 11 档 TWI 时钟预分频
- 支持 2 组 TWI 接口：TWI0 和 TWI1
- 支持 TWI 信号口映射
 - TWI0 可映射到另外 4 组 IO
 - TWI1 无默认信号口，需用户手动设置到其他映射口上，可映射到另外 5 组 IO
- 支持主机/从机模式
- 主从机之间双向数据传输
- 通信速率可达到 1 Mbps
- 可选的时钟延展
- 支持 DMA
 - TWI0 可产生 DMA 请求
 - TWI1 不能产生 DMA 请求

15.3 TWI 信号描述

在 TWI 总线上，数据通过时钟线 SCL 和数据线 SDA 在主从机间逐一字节同步传送。每个字节数据长度是 8 位，一个 SCL 时钟脉冲传输一个数据位，数据由最高位 MSB 开始传输，每个字节传输后跟随一个应答位，每个位在 SCL 为高时采样。

因此，SDA 线可能在 SCL 为低时改变，但在 SCL 为高时必须保持稳定。当 SCL 为高时，SDA 线上的跳变视为一个命令（START 或 STOP）。

- **TWI 时钟信号线（SCL）**

该时钟信号由主机发出，连接到所有的从机。每 9 个时钟周期传送一个字节数据。前 8 个周期作数据的传送，最后一个时钟作为接收方应答时钟。空闲时应为高电平，由 SCL 线上的上拉电阻拉高。

- **TWI 数据信号线（SDA）**

SDA 是双向信号线，空闲时应为高电平，由 SDA 线上的上拉电阻拉高。

16 硬件看门狗 WDT

SC32F12T/12G 系列内建一个硬件看门狗 WDT，其时钟源为内部的 32kHz 振荡器。用户可以通过编程器的 Code Option 中的 ENWDT 控制位选择是否开启看门狗复位功能。

硬件看门狗 WDT，具有安全性高、定时准确及使用灵活的优点。此看门狗外设可检测并解决由软件错误导致的故障，并在计数器达到给定的溢出时间时触发系统复位。

WDT 由其内部低频振荡器驱动，因此即便在主时钟发生故障时仍然保持工作状态。

16.1 时钟源

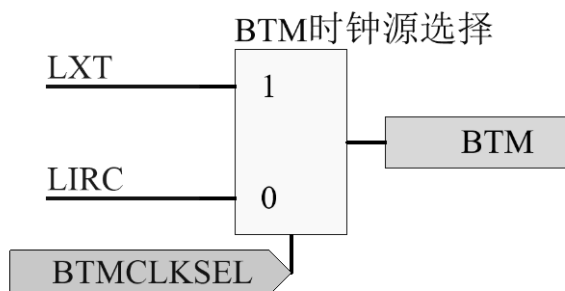
SC32F12T/12G 系列的 WDT 的时钟源固定为 LIRC。WDT 使能后，LIRC 会自动开启，WDT 工作的过程中 LIRC 始终保持振荡，用户无法关闭。

17 Base Timer (BTM)

SC32F12T/12G 系列内建一个 Base Timer (BTM)，可以按照 15.625ms ~ 32s 的间隔产生中断。32kHz LIRC 及外接 32.768kHz 晶体振荡器 LXT 都可作为 BTM 的时钟源。BTM 产生的中断可以将 CPU 从 STOP Mode 唤醒。

17.1 时钟源

- SC32F12T/12G 系列的 BTM 时钟源有两种：LXT 和 LIRC 可选



17.2 特性

- 中断频率间隔 15.625ms ~ 32s 可选
- 可唤醒 STOP Mode

18 内建 CRC 校验模块

- SC32F12T/12G 系列内建一个 CRC 校验模块，使用多项式发生器从一个 8 位/16 位/32 位的数据字中产生 CRC 码。

18.1 时钟源

- SC32F12T/12G 系列的 CRC 时钟源来自 HCLK

18.2 特性

- 内建了 1 个硬件 CRC 模块
- 初始值可设，默认为 0xFFFF_FFFF
- 支持 8bit/16bit/32bit 数据单元
- 多项式可编程，默认为 0x04C1_1DB7
- 仅支持软件送数计算模式
- 支持 DMA: CRC_DR 可作为 DMA 的目标地址，也可直接寄存器访问
- 单独一个 byte 计算 CRC 需要 1 个系统时钟。

CRC 算法名称	CRC-32/MPEG-2
多项式公式	$x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^8+x^7+x^5+x^4+x^2+x+1$
数据宽度	32bit
初始值	0xFFFF_FFFF
结果异或值	0x0000_0000
输入值反转	false
输出值反转	false
LSB/MSB	MSB

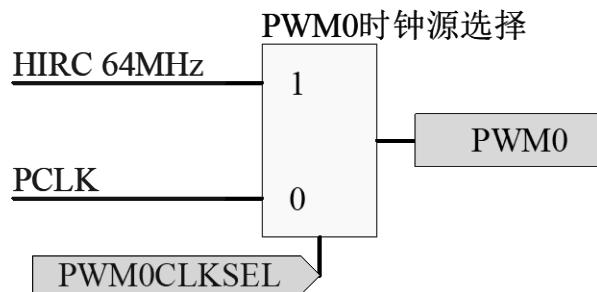
注意：CRCDR 写入数据和读出不是同一数据。

19 PWM0: 8 路 16 位多功能 PWM

SC32F12T/12G 系列的 PWM0 是 8 路 16 位共周期多功能 PWM。PWM0 的功能非常丰富：支持周期及占空比的调整、输出波形类型可选择中心对齐型或边沿对齐型，输出模式可选择独立模式或互补模式，支持死区功能、支持故障检测机制。寄存器 PWM0_CON、PWM0_STS 控制 PWM 的状态及周期，各路 PWM 的打开及输出波形、波形反相及占空比均可单独调整。

19.1 时钟源

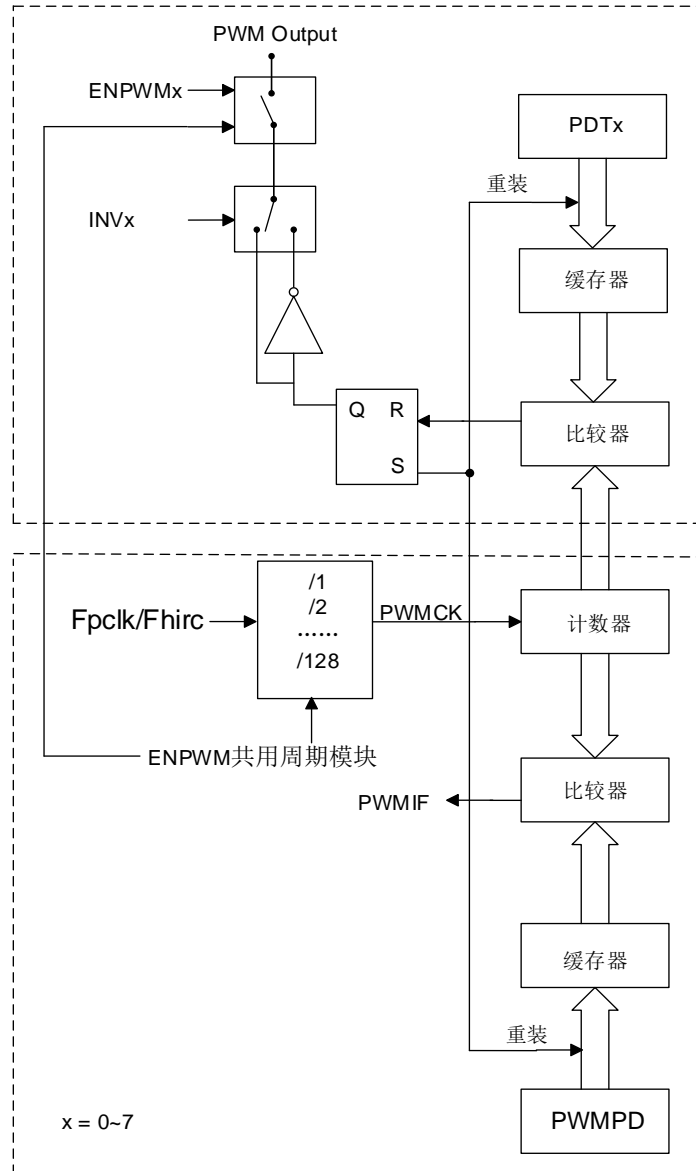
- SC32F12T/12G 系列 PWM0 的时钟源有两种：HIRC 64MHz 和 PCLK 可选
- PWM0 输出频率最高为所选时钟源的频率
- PWM0 时钟预分频档位范围为：/1 ~ /128



19.2 特性

- 8 路 16 位共周期多功能 PWM
- 输出波形可反向
- 波形类型：可设为中心对齐型或边沿对齐型
- PWM 模式：可设为独立模式或互补模式：
 - 独立模式下，8 路 PWM 周期相同，但每一路 PWM 的打开及输出波形占空比可单独调整
 - 互补模式下可同时输出四组互补、带死区的 PWM 波形
- 提供 1 个 PWM 溢出的中断
- 支持故障检测机制
- 有独立的中断请求标志位

19.3 PWM0 结构框图



PWM0 结构框图

19.4 PWM0 通用配置

19.4.1 输出模式

- 独立模式下 8 路 PWM 周期相同，但每一路 PWM 输出波形的占空比单独可设置
- 互补模式下可同时输出四组共周期，互补、带死区的 PWM 波形

19.4.2 对齐类型

- 边沿对齐型
- 中心对齐型

19.4.3 占空比变化特性

当 PWM0n 输出波形时，若需改变占空比，可通过改变高电平设置寄存器（PDT0x）的值实现。但需要注意：更改 PDT0x 的值，占空比不会立即改变，而是等待 PWM 计数器计数到 0 或向上计数至与周期设置项 PWMPD[15:0] +1 的值匹配时改变。

19.4.4 周期变化特性

当 PWM 输出波形时，若需改变周期，可通过改变周期设置寄存器 PWMPD 的值实现。更改 PWMPD 的值，周期不会立即改变，而是等待 PWM 计数器计数到 0 或向上计数至与周期设置项 PWMPD[15:0] +1 的值匹配时改变。

20 LEDPWM: 31 路 8 位 LEDPWM

20.1 时钟源

- SC32F12T/12G 系列的 LEDPWM 的时钟源仅一种，来自 PCLK2

20.2 特性

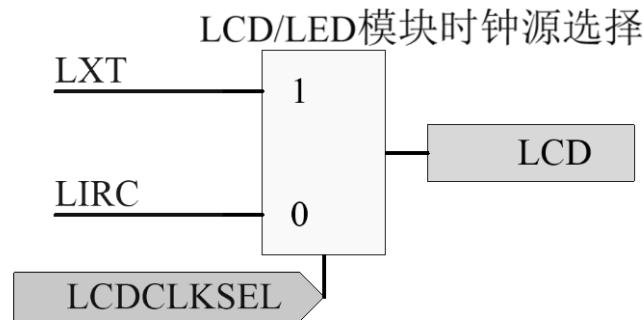
- 共用周期、占空比单独可调
- 有中心对齐模式，方便驱动 LED
- Duty 寄存器与 27 路 SEG 寄存器共用，可替代 LED 电路，产生 LED 驱动波形
- 预分频档位最高为/256，每一档为 2 的 n 次方
- 有独立的中断请求标志位
- 通过中心对齐的 LEDPWM 实现灰度调整：
 - 灰度调节中一个 COM 最多对应 27 个 duty 值，可选择 8 X 23、6 X 25、5 X 26、或 4 X 27
 - 在 LEDPWM 中断切换 COM，同时把对应的 Duty 值写入 LEDPWM 的 DUTY 寄存器，从而实现每个 SEG 灰度的调整

21 LCD/LED 驱动器

- LCD/LED 二选一，共用寄存器和 IO 口

21.1 时钟源

- SC32F12T/12G 系列的 LCD/LED 的时钟源有两种：LXT 和 LIRC 可选



21.2 内置 8 COM x 23 SEG LED 驱动

- 1/1~1/8 占空比电压驱动方式
- LED segment 口源驱动能力分四级控制
- 可通过软件实现支持共阴/共阳模式切换
- 通过中心对齐的 PWM 实现灰度调整：使用原 31 路 PWM，每个 PWM 自带周期 buffer 及 duty buffer

21.3 内置 8 COM x 23 SEG LCD 驱动

- Type A / Type B 波形可选
- 8 X 23、6 X 25、5 X 26、或 4 X 27
- LCD 电压输出口分压电阻可选
- LCD 显示驱动偏置电压
 - 1/4 偏置电压
 - 1/3 偏置电压
- 帧频三档可选：
 - Type A 模式下 32/64/128Hz
 - Type B 模式下 64/128/256Hz

22 36 路高灵敏度触控电路 (TK)

- 高灵敏度模式
- 可适应隔空按键触控、接近感应等对灵敏度要求较高的触控应用
- 通道可以并联扫描
- CMOD 管脚需对地接入 103 电容
- 支持自电容方案和互电容模式
- 支持低功耗模式
- 支持快速唤醒 STOP Mode
- 全套开发支持：高灵活触控软件库，智能化调试软件

注意：仅 SC32F12T 系列支持 TK 功能

23 16 位定时/计数器 (TIM) Timer0~Timer7

23.1 时钟源

- 定时模式/PWM 输出模式下，TIM 时钟源来自 PCLK
- 计数模式下，Tn 引脚为计数源输入

23.2 特性

- 支持 8 档 TIM 时钟预分频
- 8 个独立 16 bit 自动重载计数器 Timer0~Timer7
- 16 位递增、递减、递增/递减自动重载计数器
- 支持上升沿/下降沿捕获，可实现 PWM duty 和周期捕获
- TIM1/2/6 的溢出及捕获事件可产生 DMA 请求

23.3 计数方式

23.3.1 定时模式下 TIM 计数方式

- 向上计数：从设定值开始向上计数，至 0xFFFF 溢出
- 向下计数：从 0xFFFF 开始向下计数至设定值

23.3.2 PWM 输出模式下 TIM 计数方式

PWM 输出模式下只能选择向上计数：从 0 开始向上计数，至占空比设置项 PDT 时 PWM 输出波形切换高低电平，之后继续向上计数到设定的重载值 RLD，产生溢出并从 0 重新开始计数。

TIM 输出的 PWM 周期 T_{PWM} 计算公式如下：

$$T_{PWM} = \frac{RLD[15:0] + 1}{PCLK}$$

占空比 duty 计算公式：

$$duty = \frac{PDT[15:0]}{RLD[15:0] + 1}$$

23.4 定时器相关的信号口

- TnCAP/Tn, n=0~7
 - Tn 时钟输入/输出
 - TnCAP 上升沿/下降沿均可捕获
 - 注意：Tn 和 TnCAP 为复用功能，不能同时使用
- TnEX, n=0~7
 - 重载模式下，TnEX 引脚上的外部事件输入（下降沿）用作重载允许/禁止控制
 - 捕获模式，当 FSEL = 1 时为下降沿捕获信号输入脚，检测到 TnEX 引脚上一个下降沿，产生一个

捕获，EXIF 被置起，TnCNT 寄存器的值捕获到寄存器 FCAP 里

- TnPWM, n=0~7
 - TIM0~7 可通过 Tn 端口提供 duty 可单独调的 PWM: TnPWMA
 - TIM0~7 可通过 TnEX 端口提供 duty 可单独调的 PWM: TnPWMB
 - 可选时钟源随 TIM
 - 注意: TIM 的 PWM 捕获功能与 PWM 输出功能不可同时开启

23.5 TIM 的中断及对应标志位

- 计数器上溢/下溢，共用中断标志位 TIF
- 捕获状态标志：
 - EXIF 外部事件输入下降沿被检测到的标志位
 - EXIR 外部事件输入上升沿被检测到的标志位
- 中断及优先级配置控制位合并至 NVIC 模块

24 DMA 控制器

24.1 概述

直接存储器访问（DMA）控制器用于高速数据传输。DMA 控制器可以从一个地址到另一个地址传输数据，无需 CPU 介入。通过 DMA 进行数据传输可减少 CPU 的工作量，将节省下的 CPU 资源做其他应用。DMA 控制器包含 2 个通道，每个通道都直接连接专用的硬件 DMA 请求，每个通道都同样支持软件触发。DMA 控制器支持 4 级通道优先级，用于处理 DMA 请求间的优先级，确保同一时刻只有一个 DMA 通道工作。DMA 控制器也支持单次传输和批量传输，请求源可以是软件请求或接口请求，内存之间的数据传输是使用软件请求。

注：对于一个双向数据传输应用，需要 2 个 DMA 通道分别完成发送和接收。

24.2 时钟源

DMA 的时钟源为 HCLK，通过 AHB_CFG.DMAEN 使能 DMA 的外设时钟

24.3 特性

- 支持 2 个可独立配置的通道
- 支持四个请求优先级
- 支持 8 位，16 位，32 位数据传输
- 支持源和目标地址自动增加或者固定，数据宽度支持字节，半字，字
- 支持单次和批量传输方式

24.4 功能说明

24.4.1 传输方向

内存到内存	内存到外设	外设到内存	外设到外设
无限制	无限制	无限制	无限制

24.4.2 DMA 访问区域限制

用户操作 DMA 时，不允许对 Flash 进行写操作，也不允许通过 DMA 操作内核，否则将产生无法预估的异常。

24.4.3 通道优先级

通过寄存器 PL[1:0]可设置四个级别的优先级：

- 00：低
- 01：中
- 10：高
- 11：非常高

24.4.4 单次传输和批量传输

DMA 控制器支持单一和成组数据的传输类型，请求源可以是软件请求，接口请求，内存之间的数据传输是使用软件请求。单次传输的意思是软件或接口准备好传输一个数据（每个数据需要一次请求），批量传输的意思是软件或接口将传输多个数据（多个数据仅需一次请求）。

单次传输和批量传输模式可通过寄存器 TPTYPE（DMA_n_CFG[15]）设定。

当 DMA 控制器运行在单次传输模式，每搬运一个数据需要一次请求，当搬运一次数据，寄存器 DMA_n_CNT[31:0]，n=0~3 会减 1，直到 DMA_n_CNT[31:0]中的数目递减为 0，搬运才会完成。在该模式，BURSIZE（DMA_n_CFG[14:12]）不用于控制搬运数据量大小，它的值固定为 1。

在批量搬运模式，DMA 控制器搬运 DMA_n_CNT[31:0]个数据，仅需一次请求。当搬运 BURSIZE（DMA_n_CFG[14:12]）数据后，DMA_n_CNT[31:0]中的数目会减去 BURSIZE。直到 DMA_n_CNT[31:0]中的数目递减为 0，搬运数据才完成。

24.5 循环模式

循环模式可用于处理循环缓冲区和连续数据流（例如 ADC 扫描模式）。在循环模式传输过程中，待传输数据的数目将自动重新装载为在通道配置阶段设置的初始值，并继续响应 DMA 请求。为停止循环传输，软件需要在禁止 DMA 通道前使外设停止生成 DMA 请求（例如退出 ADC 扫描模式）。软件必须在启动/使能传输前，以及在停止循环传输后，明确设定 DMACNT 值。

SC32F12T/12G 系列的 DMA 控制器支持常规模式和循环模式，用户可根据实际需求灵活选择：

- 当 CIRC=0（DMA 通道处于非循环模式）时，在达到设定的待传输数据数目时，将不再接受任何 DMA 请求；
- 当 CIRC=1（DMA 通道处于循环模式）时，在传输完成后该通道的 DMACNT 会自动重新装载之前设定的值，等待下一次循环。

用户可以根据实际需求灵活选择。

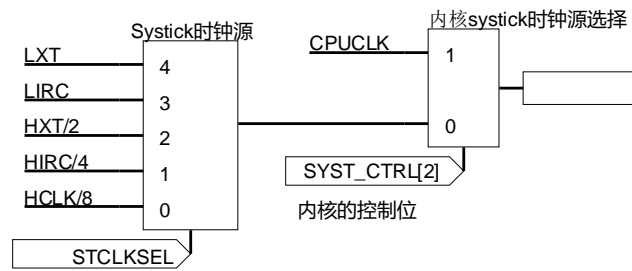
25 Systick

SysTick 是一个简单的、24 位写入清 0、递减、带灵活控制机制的自动装载计数器。该计数器可以用作实时操作系统（RTOS）的滴答定时器或作为一个简单的计数。

25.1 时钟源

SysTick（Cortex®-M0+内核系统定时器）的时钟源分为内部时钟源和外部时钟源：

- 内部时钟源即 CPU 时钟
- 外部时钟源有 5 个



SysTick 时钟源框图

25.2 SysTick 校准寄存器默认值

SysTick 校准寄存器校准值设置方法如下：

- 若上电默认时钟为 f_{HCLK}/n (MHz)， n 是上电默认分频系数，上电默认时钟源为 HIRC；
- 则当 SysTick 校准值初始值为 $1000 * (f_{HCLK}/n)$ ，即保证默认可产生 1ms 时间基准。

26 电气特性

除非另有说明，本章节电器数据均基于《推荐工作条件》小节所列工作条件。

26.1 推荐工作条件

符号	参数	最小值	最大值	UNIT	系统时钟频率
V _{DD}	工作电压	2.0	5.5	V	64MHz 时钟源为 HIRC
T _A	工作环境温度	-40	105	°C	

26.2 极限参数

符号	参数	最小值	最大值	UNIT
V _{DD}	直流供电电压	-0.3	6	V
V _{PIN}	任一管脚输入/输出电压	-0.3	V _{DD} +0.3	V
T _A	工作环境温度	-40	105	°C
T _{STG}	储存温度	-55	125	°C
I _{VDD}	流过 VDD 的电流值	-	200	mA
I _{VSS}	流过 VSS 的电流值	-	200	mA

26.3 Flash ROM 参数

(V_{DD} = 5V, T_A = +25°C, 除非另有说明)

符号	参数	最小值	典型值	最大值	UNIT	条件
N _{END}	擦写次数	100,000	-	-	Cycles	时钟源为 HIRC
T _{DR}	数据保存时间	100	-	-	Years	
T _{S-Erase}	单个 Sector 擦除时间	-	2.5	-	ms	
T _{Erase}	全擦时间	30	-	40	ms	
T _{Write}	单个 byte 写入时间	-	34	-	µs	

注：IAP 写入时必须按字对齐，故写入时单个字节与单个字写入时间相同

26.4 运行功耗

26.4.1 V_{DD} = 5V, T_A = +25°C, 除非另有说明

符号	参数	启动区域	最小值	典型值	最大值	单位	测试条件
I _{op1}	工作电流	APROM	-	7	-	mA	f _{HCLK} =64MHz 时钟源为 HIRC
			-	4.2	-	mA	f _{HCLK} =32MHz 时钟源为 HIRC
			-	2.7	-	mA	f _{HCLK} =16MHz 时钟源为 HIRC
			-	2	-	mA	f _{HCLK} =8MHz 时钟源为 HIRC
			-	1.6	-	mA	f _{HCLK} =4MHz

符号	参数	启动区域	最小值	典型值	最大值	单位	测试条件
							时钟源为 HIRC
I _{pd1}	待机电流 (Power Down 模式)	APROM	-	3	6	μA	f _{HCLK} =64MHz 时钟源为 HIRC
I _{IDL1}	待机电流 (IDLE 模式)	APROM	-	1.8	6	mA	f _{HCLK} =64MHz 时钟源为 HIRC

26.4.2 V_{DD} = 3.3V, T_A = +25°C, 除非另有说明

符号	参数	启动区域	最小值	典型值	最大值	单位	测试条件
I _{op2}	工作电流	APROM	-	7	-	mA	f _{HCLK} =64MHz 时钟源为 HIRC
			-	4.2	-	mA	f _{HCLK} =32MHz 时钟源为 HIRC
			-	2.7	-	mA	f _{HCLK} =16MHz 时钟源为 HIRC
			-	2	-	mA	f _{HCLK} =8MHz 时钟源为 HIRC
			-	1.6	-	mA	f _{HCLK} =4MHz 时钟源为 HIRC
I _{pd2}	待机电流 (Power Down 模式)	APROM	-	2.1	6	μA	f _{HCLK} =64MHz 时钟源为 HIRC
I _{IDL2}	待机电流 (IDLE 模式)	APROM	-	1.8	6	mA	f _{HCLK} =64MHz 时钟源为 HIRC

26.5 GPIO 参数

26.5.1 V_{DD} = 5V, T_A = +25°C, 除非另有说明

符号	参数	最小值	典型值	最大值	单位	测试条件
V _{IH1}	输入高电压	0.7V _{DD}	-	V _{DD} +0.3	V	施密特触发输入: NRST T_CLK / T_DIO UART0~5 输入 RXD SPI / TWI 信号输入口 INT0~INT15 PWM 故障检测口 FLT Timer 时钟输入口 Tn Timer 捕获口 TnEX
V _{IL1}	输入低电压	-0.3	-	0.3V _{DD}	V	
V _{IH2}	输入高电压	0.8V _{DD}	-	V _{DD}	V	
V _{IL2}	输入低电压	-0.2	-	0.2V _{DD}	V	
I _{OL1}	常规驱动能力 IO 组 ¹ 输出低电流	-	27	-	mA	V _{Pin} =0.4V
I _{OL2}	常规驱动能力 IO 组 ¹ 输出低电流	-	50	-	mA	V _{Pin} =0.8V
I _{OHSPI0A}	SPI0 信号口: MISO0 MOSI0 SCK0 输出高电流 @V _{Pin} =4.3V	-	24	-	mA	仅适用于 SPI0 数据传输时
I _{OHSPI0B}	SPI0 信号口: MISO0	-	11	-	mA	仅适用于 SPI0 数据传输时

符号	参数	最小值	典型值	最大值	单位	测试条件
	MOSI0 SCK0 输出高电流 @V _{Pin} =4.7V					
I _{OH1}	输出高电流 @ V _{Pin} =4.3V	-	12	-	mA	Pxyz=0, I _{OH} 等级 0
		-	9	-	mA	Pxyz=1, I _{OH} 等级 1
		-	6	-	mA	Pxyz=2, I _{OH} 等级 2
		-	3	-	mA	Pxyz=3, I _{OH} 等级 3
I _{OH2}	输出高电流 @ V _{Pin} =4.7V	-	5	-	mA	Pxyz=0, I _{OH} 等级 0
		-	4	-	mA	Pxyz=1, I _{OH} 等级 1
		-	2.8	-	mA	Pxyz=2, I _{OH} 等级 2
		-	1.4	-	mA	Pxyz=3, I _{OH} 等级 3
I _{Ikg1}	输入漏电流	-1	-	1	μA	IO 为高阻输入模式 V _{IN} = V _{DD} 或 V _{SS}
R _{PH1}	上拉电阻	15	30	45	kΩ	V _{IN} =V _{SS}

26.5.2 V_{DD} = 3.3V, T_A = +25°C, 除非另有说明

符号	参数	最小值	典型值	最大值	单位	测试条件
V _{IH3}	输入高电压	0.7V _{DD}	-	V _{DD} +0.3	V	
V _{IL3}	输入低电压	-0.3	-	0.3V _{DD}	V	
V _{IH4}	输入高电压	0.8V _{DD}	-	V _{DD}	V	施密特触发输入: NRST T_CLK / T_DIO UART0~5 输入 RXD SPI / TWI 信号输入口 INT0~INT15 PWM 故障检测口 FLT Timer 时钟输入口 Tn Timer 捕获口 TnEX
V _{IL4}	输入低电压	-0.2	-	0.2V _{DD}	V	
I _{OL3}	常规驱动能力 IO 组 ¹ 输出低电流	-	20	-	mA	V _{Pin} =0.4V
I _{OL4}	常规驱动能力 IO 组 ¹ 输出低电流	-	35	-	mA	V _{Pin} =0.8V
I _{OHSPI0C}	SPI0 信号口: MISO0 MOSI0 SCK0 输出高电流 @V _{Pin} =3.0V	-	9	-	mA	仅适用于 SPI0 数据传输时
I _{OH3}	输出高电流 @V _{Pin} =3.0V	-	3.7	-	mA	Pxyz=0, I _{OH} 等级 0
		-	3	-	mA	Pxyz=1, I _{OH} 等级 1
		-	2	-	mA	Pxyz=2, I _{OH} 等级 2
		-	1	-	mA	Pxyz=3, I _{OH} 等级 3
I _{Ikg2}	输入漏电流	-1	-	1	μA	IO 为高阻输入模式 V _{IN} = V _{DD} 或 V _{SS}
R _{PH2}	上拉电阻	25	50	75	kΩ	V _{IN} =V _{SS}

26.6 TK 电气特性

符号	参数	最小值	典型值	最大值	单位	测试条件
I _{TK}	高灵敏度 Touch Key 工作电流@5V	-	0.8	1.2	mA	f _{HCLK} =64MHz
	高灵敏度 Touch Key 工作电流@3.3V	-	0.7	1.0	mA	f _{HCLK} =64MHz

26.7 BTM 电气特性

符号	参数	最小值	典型值	最大值	单位	测试条件
I _{BTM}	Base Timer 工作电流@5V	-	1.3	3	μA	BTMCLKSEL=0 BTM 时钟源为 LIRC
	Base Timer 工作电流@3.3V	-	1.2	3	μA	BTMCLKSEL=0 BTM 时钟源为 LIRC

26.8 WDT 电气特性

符号	参数	最小值	典型值	最大值	单位	测试条件
I _{WDT}	WDT 工作电流@5V	-	1.3	3	μA	
	WDT 工作电流@3.3V	-	1.2	3	μA	

26.9 交流电气特性

(V_{DD} = 2.0V ~ 5.5V, T_A = 25°C, 除非另有说明)

符号	参数	最小值	典型值	最大值	单位	测试条件
T _{LXT}	外接 32k 振荡器起振时间	-	1	-	s	外接 32k 晶振
T _{POR}	Power On Reset 时间	-	15	-	ms	
T _{PDW}	Power Down 模式唤醒时间	-	65	130	μs	
T _{Reset}	复位脉冲宽度	18	-	-	μs	低电平有效
T _{LVR}	LVR 消抖时间	-	30	-	μs	
f _{HIRC}	RC 振荡稳定性	63.36	64	64.64	MHz	V _{DD} =2.0~5.5V T _A =-40~105 °C
f _{LIRC}	LIRC 振荡稳定性	30.72	32	33.28	kHz	V _{DD} =4.0~5.5V T _A =25 °C

26.10 ADC 电气特性

(T_A = 25°C, 除非另有说明)

符号	参数	最小值	典型值	最大值	单位	测试条件
V _{ADC}	供电电压	2.7	5.0	5.5	V	V _{ref} = 2.048V
		2.0	5.0	5.5	V	V _{ref} = 1.024V 或 V _{ref} = V _{DD}
		2.7	5.0	5.5	V	V _{ref} = 2.4V
V _{REF1}	内部基准 2.048V	2.033	2.048	2.063	V	V _{DD} = 2.7~5.5V
V _{REF2}	内部基准 1.024V	1.004	1.024	1.044	V	V _{DD} = 2.0~5.5V
V _{REF3}	内部基准 2.4V	2.37	2.40	2.45	V	V _{DD} = 2.7~5.5V

符号	参数	最小值	典型值	最大值	单位	测试条件
N _R	精度	-	14	-	bit	GND ≤ V _{AIN} ≤ V _{DD}
V _{AIN}	ADC 输入电压	GND	-	V _{DD}	V	
R _{AIN}	ADC 输入电阻	1	-		MΩ	V _{IN} =5V
I _{lkg_ADC}	ADC 输入漏电流	-1	-	1	μA	V _{IN} = V _{AINx}
I _{ADC}	ADC 转换电流	-	-	2	mA	ADC 模块打开 V _{DD} =5V
		-	-	1.8	mA	ADC 模块打开 V _{DD} =3.3V
DNL	微分非线性误差	-	-	±19	LSB	V _{DD} =5V V _{REF} =5V
INL	积分非线性误差	-	-	±16	LSB	
E _Z	偏移量误差	-	-	±20	LSB	
E _F	满刻度误差	-	-	±15	LSB	
E _{AD}	总绝对误差	-	-	±20	LSB	
T _{ADC}	ADC 采样+转换总时间	-	1.1	1.4	μs	f _{HCLK} =64MHz, 时钟源为 HIRC LOWSP[2:0] = 100
		-	1.2	1.5	μs	f _{HCLK} =64MHz, 时钟源为 HIRC LOWSP[2:0] = 101
		-	1.5	1.9	μs	f _{HCLK} =64MHz, 时钟源为 HIRC LOWSP[2:0] = 110
		-	2.0	2.6	μs	f _{HCLK} =64MHz, 时钟源为 HIRC LOWSP[2:0] = 111

26.11 CMP 电气特性

(V_{DD} =5V, T_A = 25℃, 除非另有说明)

符号	参数	最小值	典型值	最大值	单位	测试条件
V _{CM}	输入电压范围	0	-	V _{DD}	V	
V _{OS}	偏移电压	-	10	30	mV	
V _{HYS}	比较电压回差	-	40	-	mV	
I _{CMP}	比较器转换电流	-	-	100	μA	V _{DD} =5V
T _{CMP}	响应时间	-	-	2	μs	

26.12 OP 电气特性

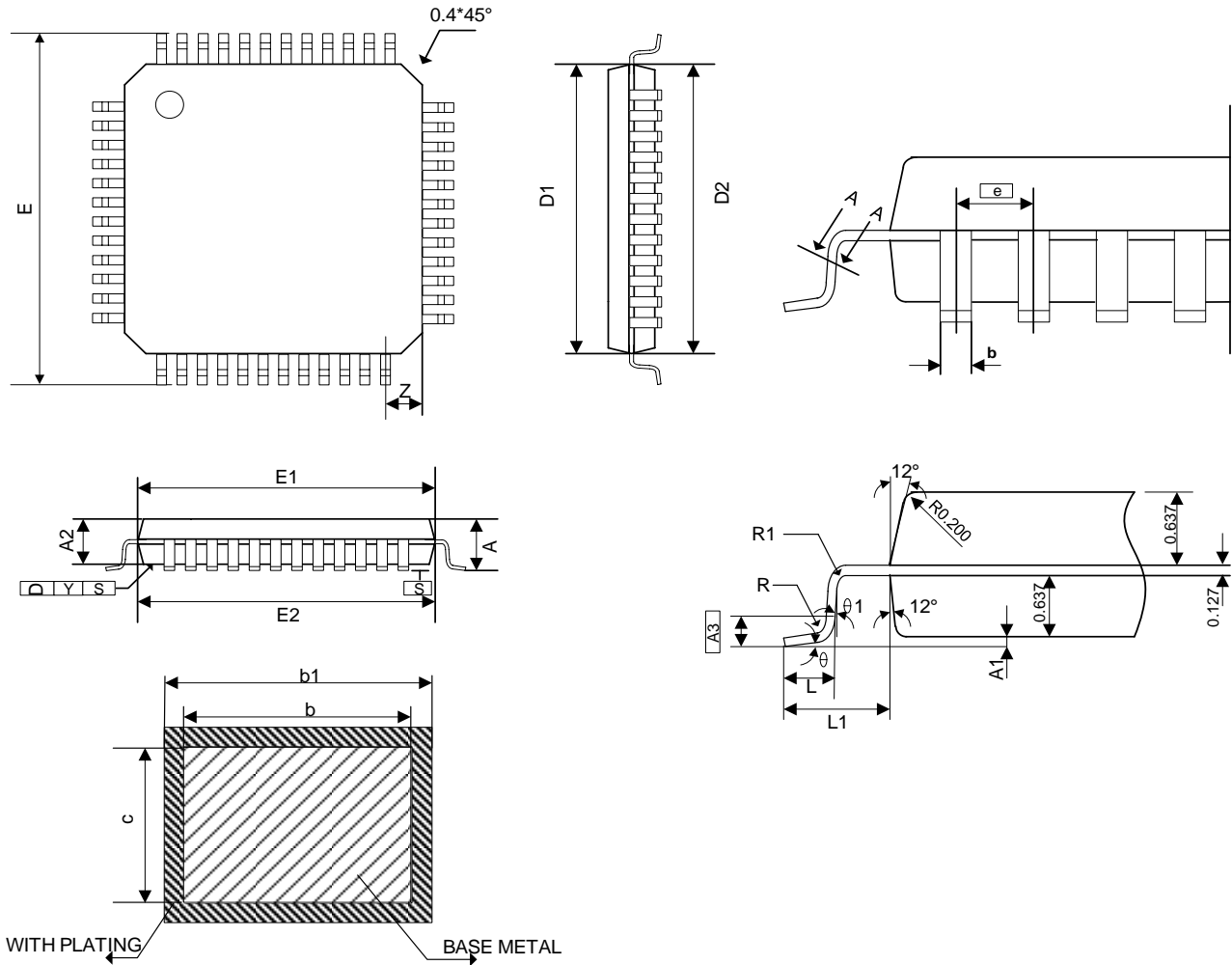
符号	参数	最小值	典型值	最大值	单位	测试条件
I _{OP}	OP 工作电流	-	1	1.3	mA	
V _{OP0}	OP 输出电压	0	-	5.1	V	
V _{OFFSET}	失调电压	-	±1	±3	mV	
G _{PGA}	PGA 同相放大倍数	7	8	9		同相 8 倍增益
		15	16	17		同相 16 倍增益
		30	32	34		同相 32 倍增益
		60	64	68		同相 64 倍增益
	PGA 反相放大倍数	6	7	8		反相 7 倍增益
		14	15	16		反相 15 倍增益

符号	参数	最小值	典型值	最大值	单位	测试条件
		29	31	33		反相 31 倍增益
		59	63	67		反相 63 倍增益
R _{PGA}	PGA 同相放大 R2/R1 阻值比	-	70/10	-	kΩ/ kΩ	同相 8 倍增益
		-	150/10	-	kΩ/ kΩ	同相 16 倍增益
		-	310/10	-	kΩ/ kΩ	同相 32 倍增益
		-	630/10	-	kΩ/ kΩ	同相 64 倍增益
	PGA 反相放大 R2/R1 阻值比	-	70/10	-	kΩ/ kΩ	反相 7 倍增益
		-	150/10	-	kΩ/ kΩ	反相 15 倍增益
		-	310/10	-	kΩ/ kΩ	反相 31 倍增益
		-	630/10	-	kΩ/ kΩ	反相 63 倍增益
R _Δ	R1 或 R2 的阻值误差	-20	-	+20	%	

注意：若用户对 Offset 有较高需求，可自行修调 Offset。

27 封装信息

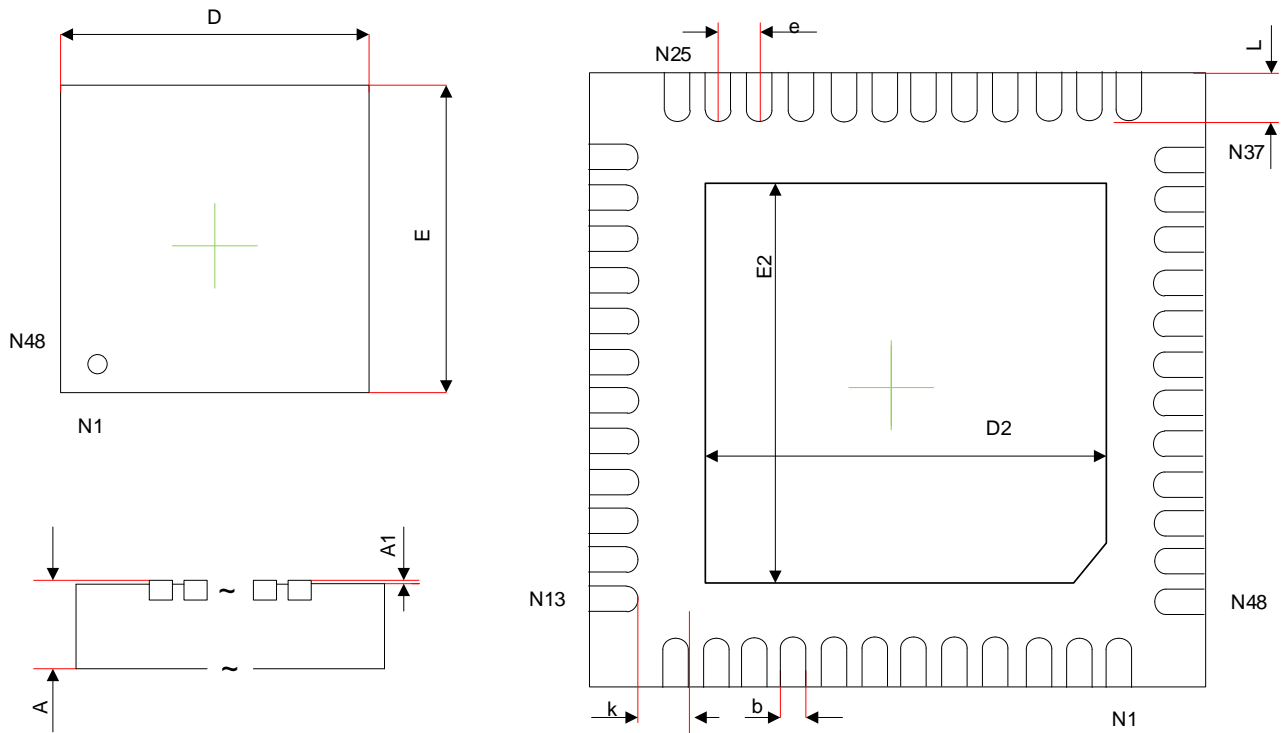
LQFP48 (7X7) 外形尺寸 (单位: 毫米)



符号	mm (毫米)		
	最小	标准	最大
A	1.45	1.55	1.65
A1	0.01	--	0.21
A2	1.30	1.40	1.50
A3	--	0.254	--
b	0.15	0.20	0.25
b1	0.16	0.22	0.28
c	0.12	--	0.17
D1	6.85	6.95	7.05

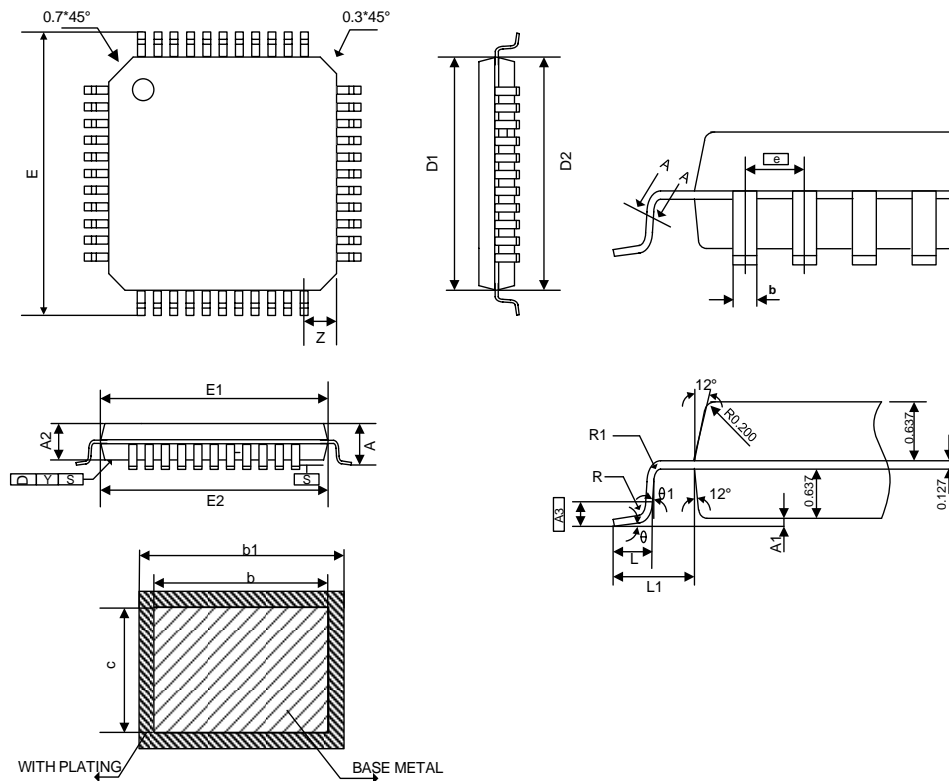
符号	mm (毫米)		
	最小	标准	最大
D2	6.90	7.00	7.10
E	8.8	9.00	9.20
E1	6.85	6.95	7.05
E2	6.9	7.00	7.10
e	--	0.5	--
L	0.43	--	0.75
L1	0.90	1.0	1.10
R	0.1	--	0.25
R1	0.1	--	--
θ	0°	--	10°
θ_1	0°	--	--
y	--	--	0.1
Z	--	0.75	--

QFN48 (5X5) 外形尺寸 (单位: 毫米)



符号	mm (毫米)		
	最小	标准	最大
A	0.50	0.55	0.60
A1	0	0.02	0.05
b	0.12	--	0.23
D	4.90	5.00	5.10
D2	3.60	3.70	3.80
e	0.35 BSC.		
k	0.20	0.30	--
E	4.90	5.00	5.10
E2	3.60	3.70	3.80
L	0.30	0.35	0.40

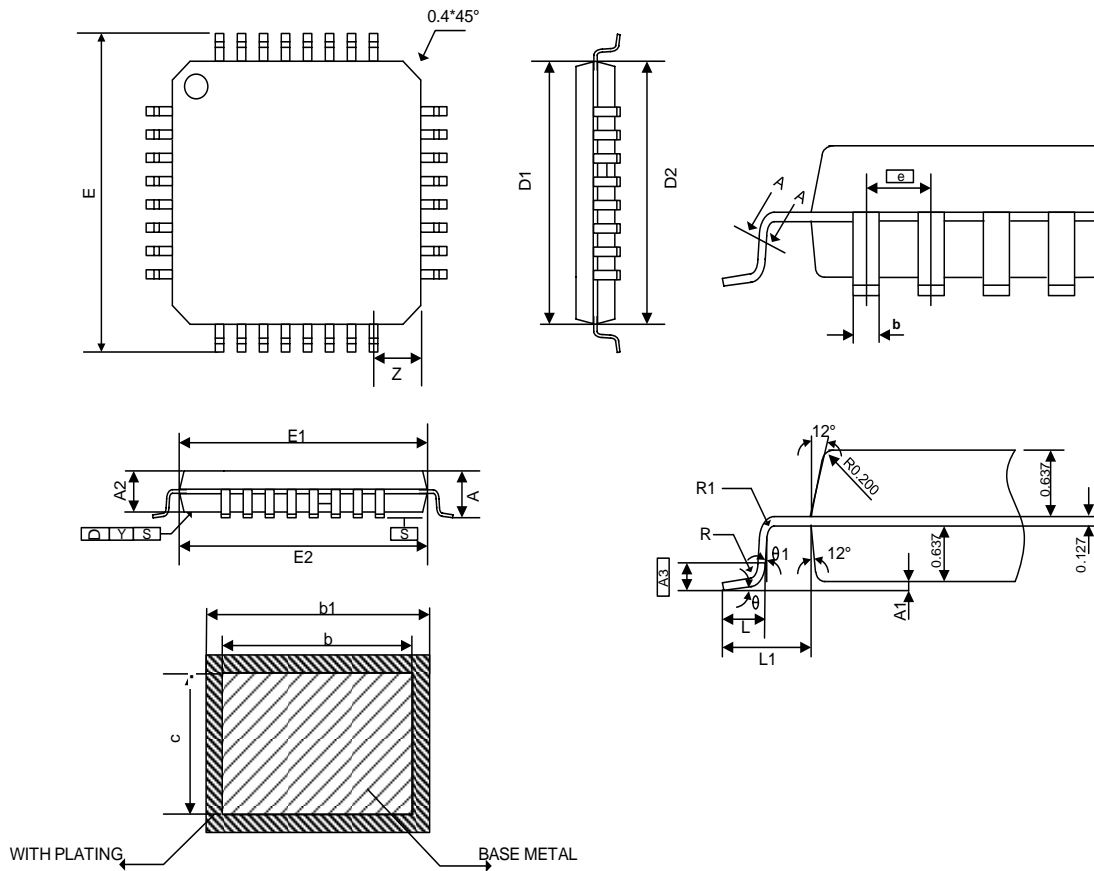
LQFP44 (10X10) 外形尺寸 (单位: 毫米)



符号	mm (毫米)		
	最小	标准	最大
A	1.45	1.55	1.65
A1	0.015	--	0.21
A2	1.3	1.4	1.5
A3	--	0.254	--
b	0.25	0.30	0.36
b1	0.26	0.32	0.38
c	0.12	0.13	0.14
D1	9.85	9.95	10.05
D2	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.85	9.95	10.05
E2	9.90	10.00	10.10
e	--	0.8	--
L	0.42	--	0.75
L1	0.95	1.0	1.15

符号	mm (毫米)		
	最小	标准	最大
R	0.08	--	0.25
R1	0.08	--	--
θ	0°	--	10°
θ_1	0°	--	--
y	--	--	0.1
Z	--	1.0	--

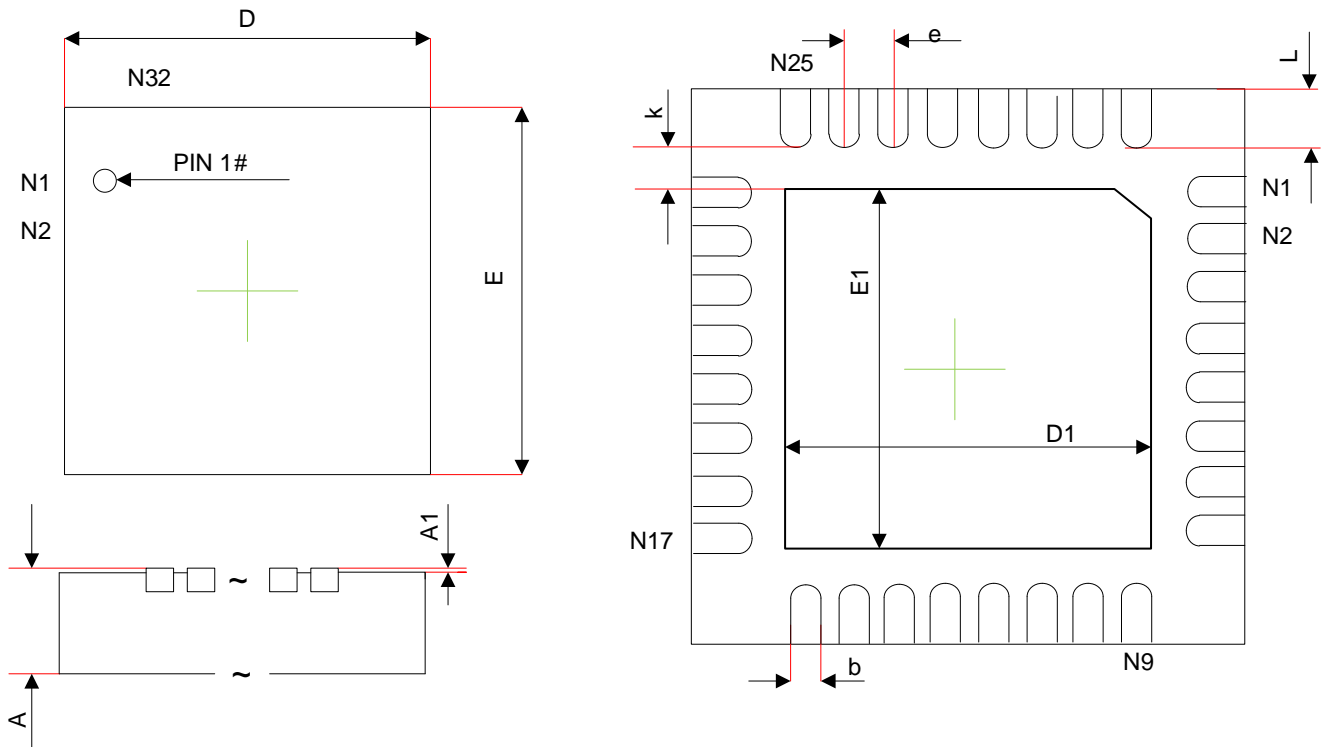
LQFP32 (7X7) 外形尺寸 (单位: 毫米)



符号	mm (毫米)		
	最小	标准	最大
A	1.45	1.55	1.65
A1	0.01	--	0.21
A2	1.30	1.4	1.5
A3	--	0.254	--
b	0.30	0.35	0.41
b1	0.31	0.37	0.43
c	0.12	0.13	0.14
D1	6.85	6.95	7.05
D2	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.85	6.95	7.05
E2	6.90	7.00	7.10
e	--	0.8	--
L	0.43	--	0.75

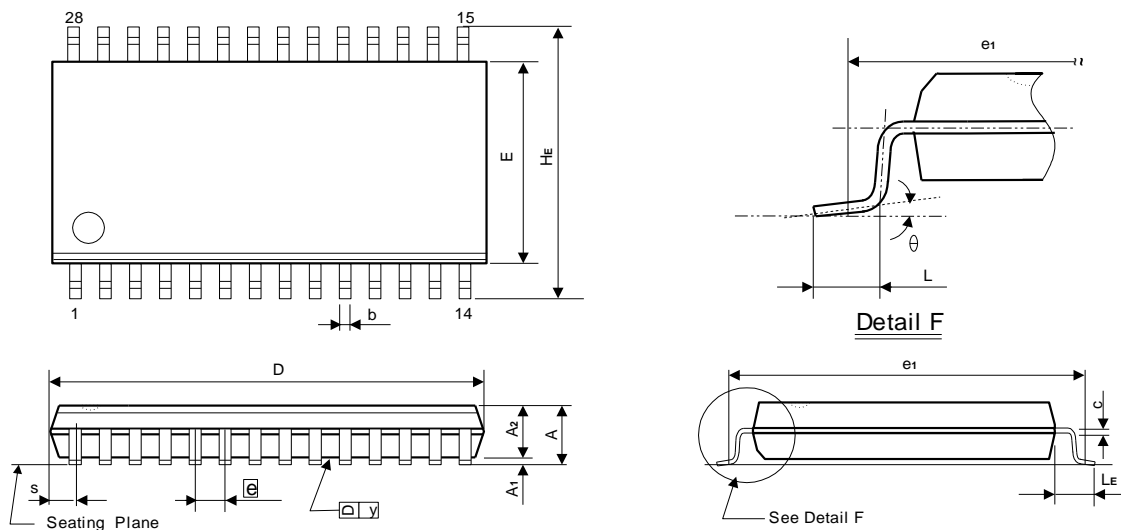
符号	mm (毫米)		
	最小	标准	最大
L1	0.90	1.0	1.10
R	0.1	--	0.25
R1	0.1	--	--
θ	0°	--	10°
θ_1	0°	--	--
y	--	--	0.1
Z	--	0.70	--

QFN32 (4X4) 外形尺寸 (单位: 毫米)



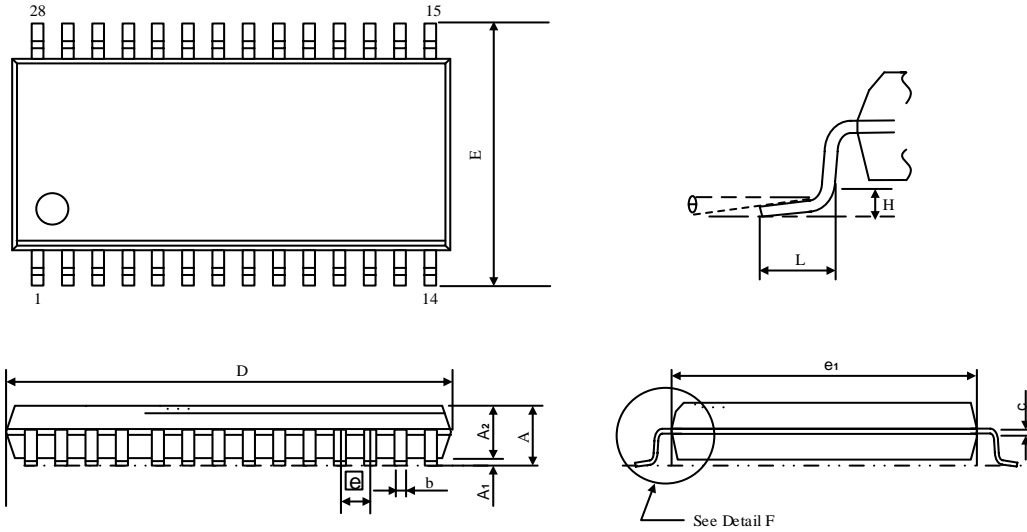
符号	mm (毫米)		
	最小	标准	最大
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
D	3.90	4.00	4.10
E	3.90	4.00	4.10
e	0.40 BSC		
k	0.2	--	--
D1	2.60	--	2.90
E1	2.60	--	2.90
L	0.22	--	0.45

SOP28L (300mil) 外形尺寸 (单位: 毫米)



符号	mm (毫米)		
	最小	标准	最大
A	2.40	2.56	2.65
A1	0.100	0.200	0.300
A2	2.240	2.340	2.440
b	0.39	---	0.48
C	0.254 (BSC)		
D	17.80	18.00	18.20
E	7.30	7.50	7.70
HE	10.100	10.300	10.500
\bar{e}	1.270 (BSC)		
L	0.7	0.85	1.0
LE	1.3	1.4	1.5
θ	0°	-	8°

TSSOP28 外形尺寸 (单位: 毫米)



符号	mm (毫米)		
	最小	标准	最大
A	-	-	1.200
A1	0.050	-	0.150
A2	0.800	0.900	1.050
b	0.190	-	0.300
c	0.090	-	0.200
D	9.600	9.700	9.800
E	6.250	6.400	6.550
e1	4.300	4.400	4.500
e	0.65 (BSC)		
L	-	-	1.0
θ	0°	-	8°
H	0.05	-	0.25

28 版本记录

版本	记录	日期
V1.0	正式版	2026 年 5 月 14 日
V0.1	初版	2023 年 12 月 28 日

29 声明

深圳市赛元微电子股份有限公司（以下简称赛元）保留随时对赛元产品、文档或服务进行变更、更正、增强、修改和改进的权利，恕不另行通知。赛元认为提供的信息是准确可信的。本文档信息于 2023 年 12 月开始使用。在实际进行生产设计时，请参阅各产品最新的数据手册等相关资料。